



CD41AD49

14 位、250MSPS 高速模数转换器 (ADC)

版本：Rev 1.0.0 日期：2025-5-20

产品特性

- 分辨率: 14bit
- 采样率: 250MSPS;
- SNR 大于 65dB;
- SFDR 大于 70dB;
- 功耗小于 0.45W
- PIN 兼容 ADS4149 系列
- 分辨率: 14bit
- 采样率: 250MSPS;
- SNR 大于 65dB;

产品应用

- 无线、宽带通信
- 接收器
- 通信测试设备
- 雷达和卫星子系统
- 功率放大器

产品描述

高速高精度 14 位 250MSPS A/D 转换器是采用 CMOS 工艺制造的单片集成电路，采样率最高可达 250MSPS。该模数转换器利用新的设计方法在获得高的动态性能的同时，也能在 1.8V 的电源电压下获得超低功耗。它适用于多载波的宽带通信应用。

A/D 转换器的原理图。该电路主要包括多级流水线，输出驱动电路，内部基准产生电路、时钟稳定电路、控制逻辑、数字校正电路以及输出驱动电路等。

该电路采用 QFN-48 封装，且可相似替代美国 TI 公司的 ADS4149。

目录

产品特性	- 1 -
产品应用	- 1 -
产品描述	- 1 -
引脚配置	- 3 -
引脚简述	- 3 -
功能框图及定时特性	- 4 -
性能参数	- 5 -
主要特性曲线图	- 6 -
典型应用线路图	- 8 -
典寄存器配置	- 11 -
注意事项	- 16 -
常见故障及处理方法	- 16 -
封装尺寸及结构	- 17 -
包装/订购信息	- 18 -
修订日志	- 19 -



引脚配置

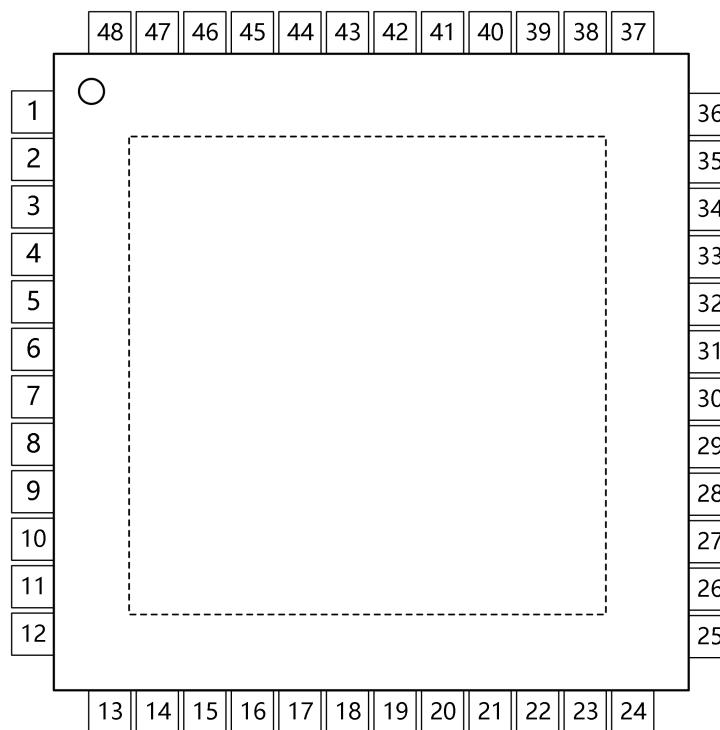


图 1.1 引脚配置图

引脚简述

引脚序号	符号	简述	引脚序号	符号	简述
1	GND_D	数字地	25	GND_A	模拟地
2	V_{DDD}	数字电源	26	V_{DDA}	模拟电源
3	Q_{OR}	溢出位	27	S_{EN}	串行接口使能
4	Q_{CLK^-}	时钟输出负	28	S_{DATA}	串行接口数据输入
5	Q_{CLK^+}	时钟输出正	29	S_{CLK}	串行接口时钟输入
6	DFS	输出数据格式	30	RESET	复位
7	OE	输出使能	31	DNC	悬空
8	V_{DDA}	模拟电源	32	DNC	悬空
9	GND_A	模拟地	33	D_{D0^-}/D_{D1^-}	D0、D1 输出负端
10	IN_{CLK^+}	差分时钟输入正	34	D_{D0^+}/D_{D1^+}	D0、D1 输出正端
11	IN_{CLK^-}	差分时钟输入负	35	V_{DDD}	数字电源
12	GND_D	模拟地	36	GND_D	数字地
13	V_{CM}	共模输出	37	D_{D2^-}/D_{D3^-}	D2、D3 输出负端
14	GND_A	模拟地	38	D_{D2^+}/D_{D3^+}	D2、D3 输出正端

15	IN+	差分模拟输入正	39	D _{D4} -/D _{D5} -	D4、D5 输出负端
16	IN-	差分模拟输入负	40	D _{D5} +/D _{D5} +	D4、D5 输出正端
17	GND _A	模拟地	41	D _{D6} -/D _{D7} -	D6、D7 输出负端
18	V _{DDA}	模拟电源	42	D _{D6} +/D _{D7} +	D6、D7 输出正端
19	GND _A	模拟地	43	D _{D8} -/D _{D9} -	D8、D9 输出负端
20	V _{DDA}	模拟电源	44	D _{D8} +/D _{D9} +	D8、D9 输出正端
21	DNC	悬空	45	D _{D10} -/D _{D11} -	D10、D11 输出负端
22	V _{DDA}	模拟电源	46	D _{D10} +/D _{D11} +	D10、D11 输出正端
23	DNC	备用	47	D _{D12} -/D _{D13} -	D12、D13 输出负端
24	V _{DDA}	模拟电源	48	D _{D12} +/D _{D13} +	D12、D13 输出正端

图 1.2 引脚简述

功能框图及定时特性

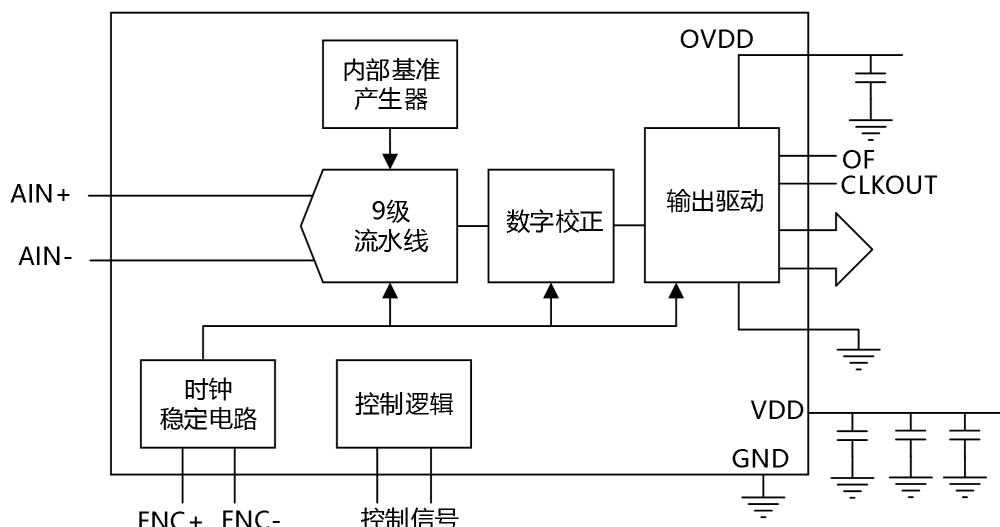


图 1.3 功能框图

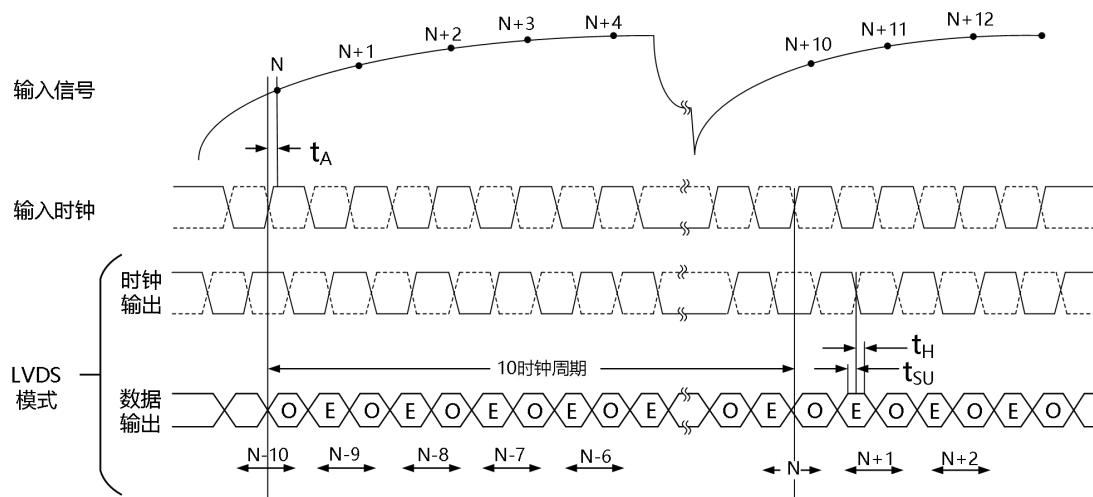


图 1.4 定时特性

性能参数

参数	测试条件	最小值	典型值	最大值	单位
分辨率	--	14			Bit
	$f_{CLK}=250MHz, f_{IN}=30MHz$	69	71	--	
信噪比	$f_{CLK}=250MHz, f_{IN}=70MHz$	68	70	--	dBFS
	$f_{CLK}=250MHz, f_{IN}=170MHz$	67	69	--	
	$f_{CLK}=250MHz, f_{IN}=30MHz$	68	70	--	
噪声失真比	$f_{CLK}=250MHz, f_{IN}=70MHz$	67	69	--	dBFS
	$f_{CLK}=250MHz, f_{IN}=170MHz$	66	68	--	
	$f_{CLK}=250MHz, f_{IN}=30MHz$	78	82	--	
无杂散动态范围	$f_{CLK}=250MHz, f_{IN}=70MHz$	77	80	--	dBFS
	$f_{CLK}=250MHz, f_{IN}=170MHz$	76	78	--	
有效位数	$f_{CLK}=250MHz, f_{IN}=30MHz$	10.5	--	--	Bit
微分非线性	$f_{CLK}=250MHz, f_{IN}=10MHz$	-0.99	± 0.8	--	LSB
积分非线性	$f_{CLK}=250MHz, f_{IN}=10MHz$	--	± 3.5	± 5	LSB
数字特性					
差分输入范围	--	--	2	--	Vpp
输入电阻	--	--	1	--	MΩ
输入电容	--	--	4	--	pF
模拟输入带宽	--	--	480	--	MHz
共模输出电压	--	--	0.95	--	V
直流特性					

失调误差	--	-15	3	15	mV
增益误差	--	-2	--	2	%FS
功耗					
模拟电流	LVDS 模式(350mV)	--	138	150	mA
数字电流	LVDS 模式(350mV)	--	65	80	mA
模拟功耗	LVDS 模式(350mV)	--	248.4	270	mW
数字功耗	LVDS 模式(350mV)	--	117	144	mW
休眠功耗	LVDS 模式(350mV)	--	3.5	25	mW
数字特性					
逻辑输入高电平	--	1.5	--	--	V
逻辑输入低电平	--	--	--	0.3	V
输入高电平电流	--	-15	--	15	uA
输入低电平电流	--	-2	--	2	uA
LVDS 差分输出电压	LVDS 模式(350mV)	200	350	500	mV
LVDS 共模输出电压	LVDS 模式(350mV)	0.8	1.05	1.3	V
时间参数					
孔径延迟	--	0.6	0.8	1.2	ns
数据建立时间	LVDS 模式(350mV)	0.35	0.6	--	ns
数据保持时间	LVDS 模式(350mV)	0.75	1.1	--	ns

图 1.5 性能参数表

主要特性曲线图

1、DNL、INL 测试结果测试条件：

采样率：fCLK=250MHz;

输入信号频率 fIN=10MHz;

测试结果：DNL：+0.8/-0.75 LSB

INL：+4.1/-3.8 LSB

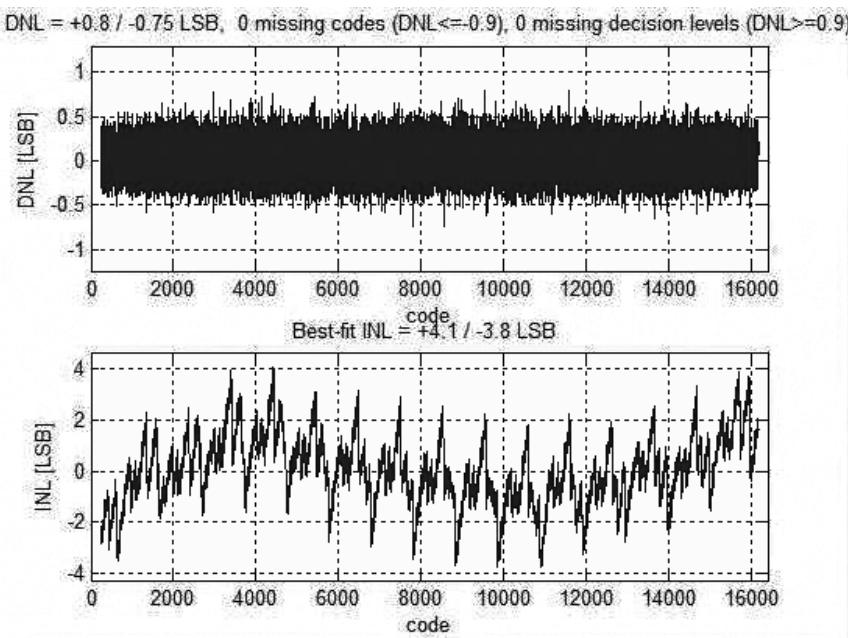


图 1.6 DNL、INL 测试结果

2、动态参数测试结果测试条件：

采样率：fCLK=250MHz;

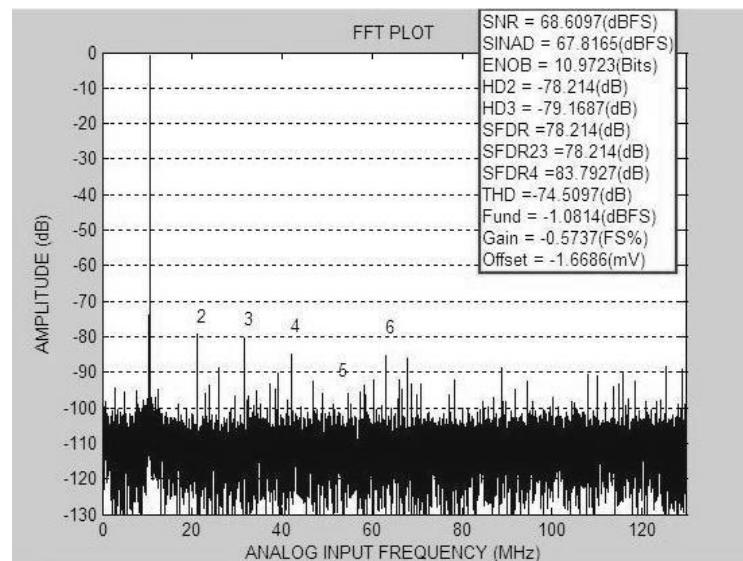
输入信号频率：fIN=10MHz;

测试结果：SFDR=78dB;

HD2, 3nd=78dB;

HD4nd=83dB;

SNR=68.6dB;



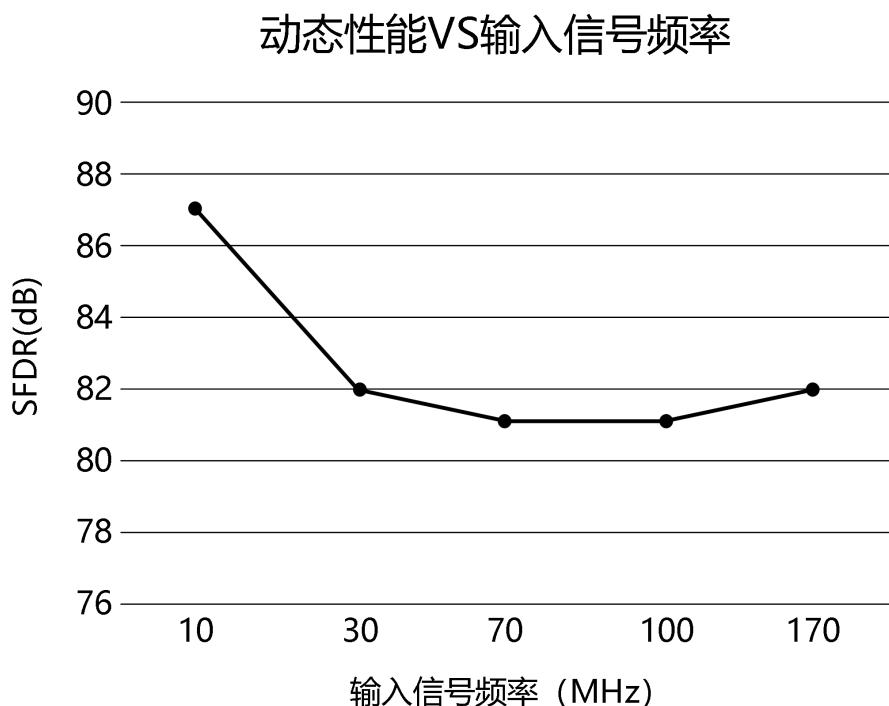


图 1.8 动态指标随频率变化

典型应用线路图

1. 概述

高速高精度 14 位 A/D 转换器是采用 CMOS 工艺制造的半导体集成电路。该产品具有采样率高、线性误差小、失调增益校正和 SPI 接口控制等特点。通过 SPI 接口可对内部电路的工作状态、输入失调和满度输入范围进行配置；模拟输入为差分输入，既可交流耦合输入也可直流耦合输入；时钟输入电路内部设有直流偏置，必须交流耦合输入。

2. 模拟输入

模拟输入包含一个差分的基于开关电容的采样保持结构，如图 1.9 所示。差分结构在高频输入时有更好的 AC 特性。差分输入 INP 和 INM 的共模电压为 0.95V，由片内引脚 V_{CM} 提供。差分的最大输入摆幅为 2VPP。

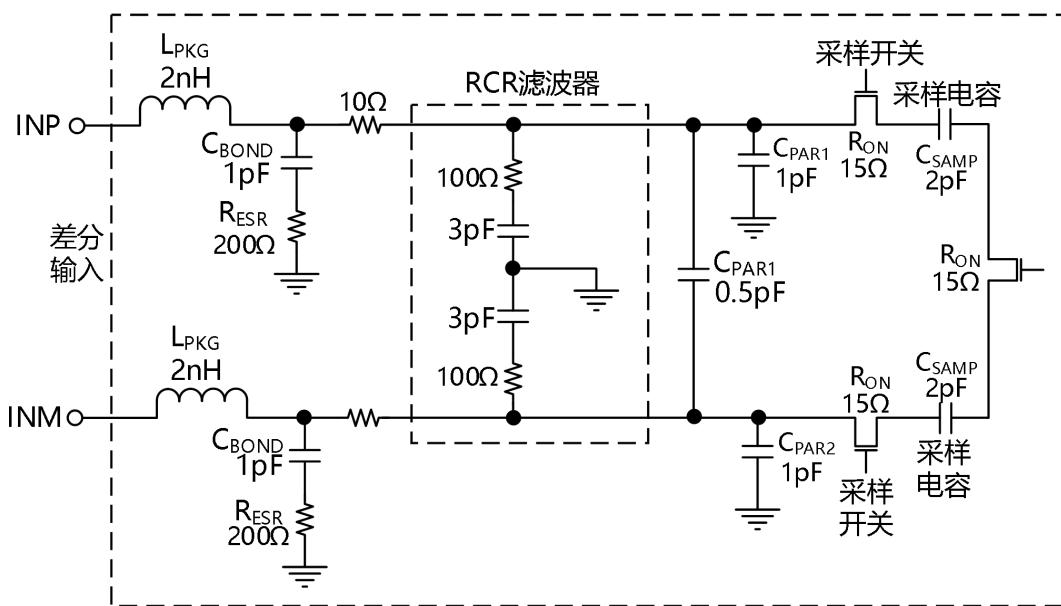


图 1.9 模拟输入等效电路

3. 驱动电路

图 2.0 (a) 和图 2.0 (b) 展示了驱动电路的两种配置情况：一个是从低带宽方面进行优化的，另一个则是从高带宽（以支持高输入频率）方面进行优化的。

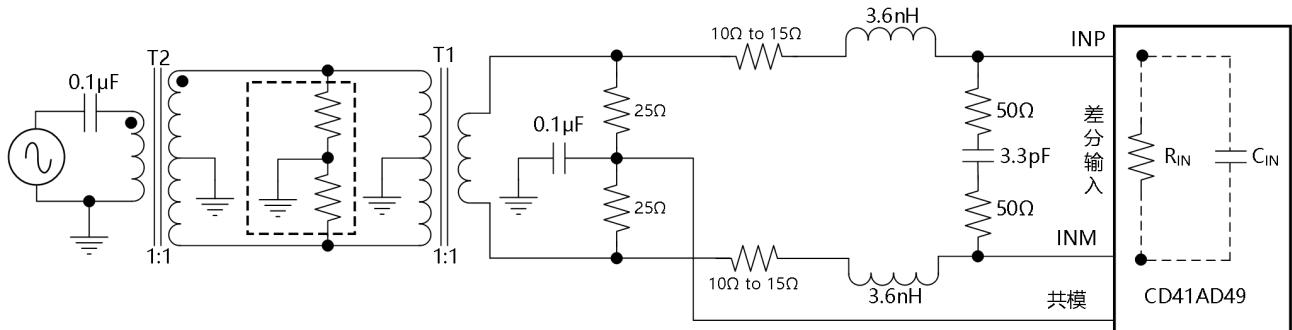


图 2.0 (a) 低频模拟输入驱动电路

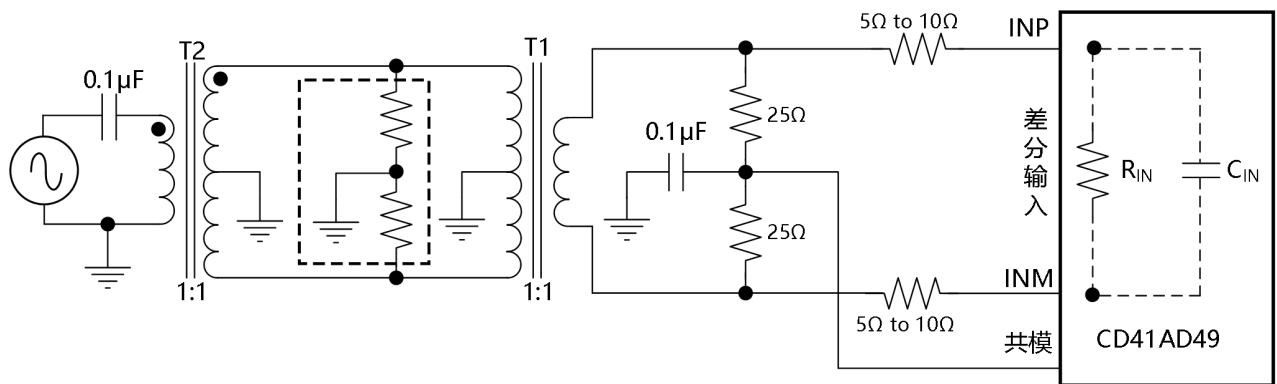


图 2.0 (b) 高频模拟输入驱动电路

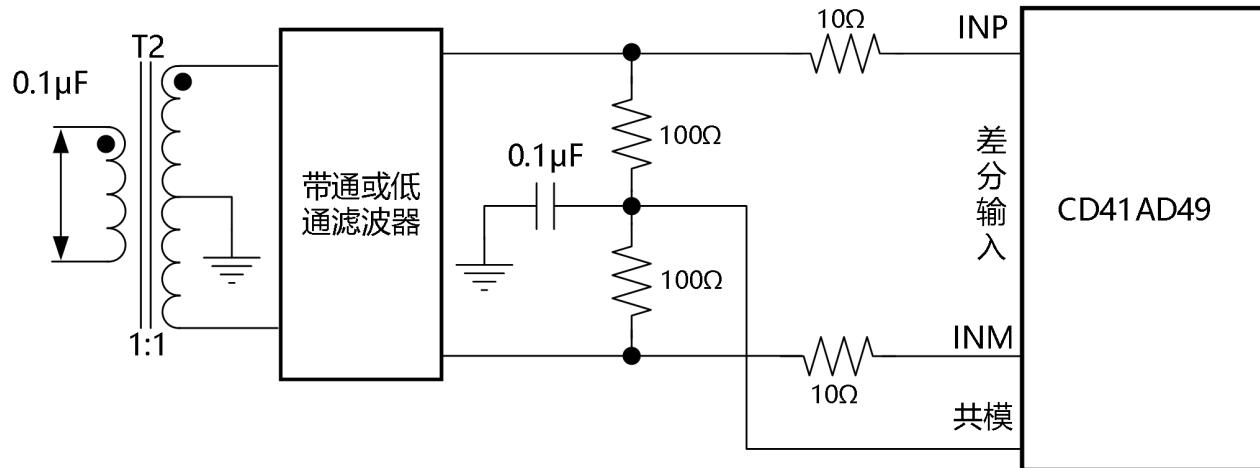
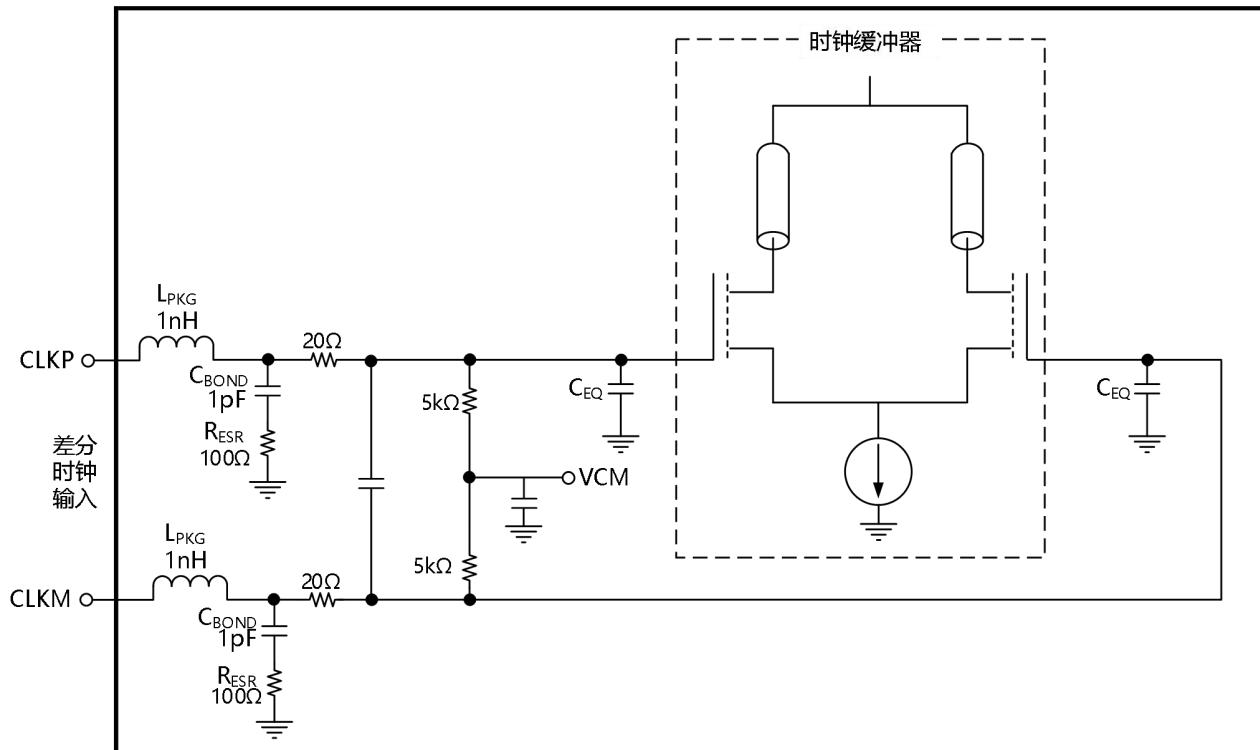


图 2.1 1: 4 的变压器驱动电路

在各种情形下，为获得需要的动态性能，需要有带通或者低通的滤波器辅助，如图 12 所示。这样的一个滤波器在高频时有较低的源阻抗，有利于吸收采用尖峰，同时又不会造成性能的衰减。

4. 时钟输入

产品的输入时钟可以差分（正弦、LVPECL 或者 LVDS）也可以单端（LVCMS）驱动。当用正弦时钟信号时，驱动电路可以采用变压器耦合的；当用 LVPECL 或者 LVDS 的时钟信号源时，驱动电路可以采用交流耦合的。输入时钟的等效电路如图 2.2 所示。



注： C_{EQ} 为 1pF 到 3pF，是时钟缓冲器的等效输入电容

图 2.2 输入时钟等效电路

单端的时钟驱动电路如图 2.3 所示。差分的时钟驱动电路如图 2.4 所示。

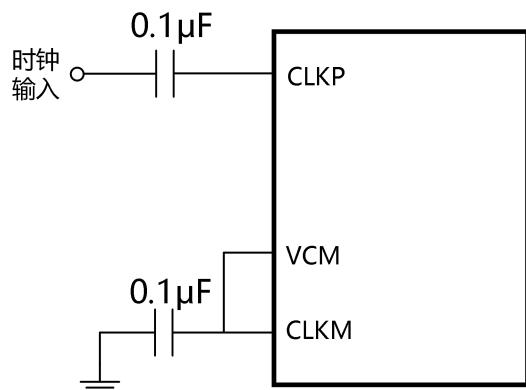


图 2.3 单端时钟驱动电路

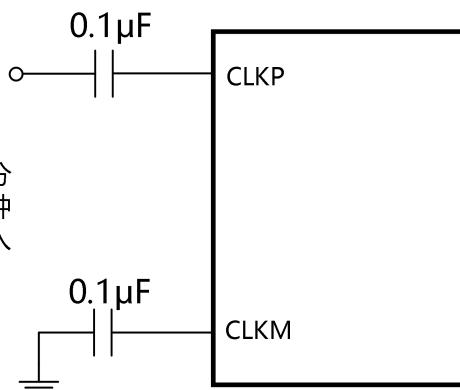


图 2.4 差分时钟驱动电路

5. 数字功能

器件默认处于低延迟模式，该模式下没有开启任何数字功能。配置“低延迟模式”寄存器为“1”，可以开启的数字功能包含增益校正、失调校正以及测试模式，如图 2.5 所示。



图 2.5 数据处理框图

典型寄存器配置

● 寄存器列表

寄存器地址	初始值	寄存器数据								
A[7:0] (Hex)	D[7:0](Hex)	D7	D6	D5	D4	D3	D2	D1	D0	
00	00	0	0	0	0	0	0	重置	读出	
01	00	LVDS 摆幅编程： 000000 = LVDS 摆幅默认；±350mV 外接 100Ω端口 011011 = LVDS 摆幅增加到±410mV 110010 = LVDS 摆幅增加到±465mV 010100 = LVDS 摆幅增加到±570mV 111110 = LVDS 摆幅减小到±200mV 001111 = LVDS 摆幅减小到±125mV								
03	00	0	0	0	0	0	0	0	高性能模式	1

							测试模式 000 = 正常运行
							增益编程: 0000 = 0dB gain (默认值) 0001 = 0.5dB gain 0010 = 1.0dB gain 0011 = 1.5dB gain 0100 = 2.0dB gain 0101 = 2.5dB gain 0110 = 3.0dB gain 0111 = 3.5dB gain 1000 = 4.0dB gain 1001 = 4.5dB gain 1010 = 5.0dB gain 1011 = 5.5dB gain 1100 = 6.0dB gain
							设置增益: 0 = gain 使能; 如果低延时模式被禁用, 则增益仅由 GAIN 位设置。 1 = 增益禁用
							010 = 输出所有为 0 011 = 输出切换模式 在 CD41AD49 中 D[13:0] 为 010101010101010 和 10101010101010 100 = 输出数字斜坡 在 CD41AD49 中输出数据到 16383 中每一个时钟周期增加 1LSB 101 = 输出自定义模式 (使用寄存器 Ox3F 和 Ox40 设置自定义模式) 110 = 未使用 111 = 未使用
25	00	0	0	0	0	0	LVDS 输出时钟缓冲强度 0 = 100Ω 外部节点 (默认强度); 1 = 50Ω 外部节点 (2 倍强度) LVDS 数据缓冲强度 0 = 100Ω 外部节点 (默认强度); 1 = 50Ω 外部节点 (2 倍强度)
26	00	0	0	0	0	0	
3D	00	数据格式: 00 = DFS 引脚控制数据格式选择 10 = 二补码	偏移校正设置 0 = 偏移校正	0	0	0	0

		11 = 偏移二进制 禁用； 1 = 启用偏移校正					
3F	00	传统模式高位 D[13:6] 在 CD41AD49 中，这些位设置了传统输出模式，输出数据比特 13 到 0 是传统模式 D[13:0]					
40	00	传统模式 D[5:0]		0	0		
41	00	LVDS CMOS:接口选择 00 = DFS 引脚控制 LVDS 或 CMOS 接口选择 10 = DFS 引脚控制 LVDS 或 CMOS 引脚接口选择 01 = DDR LVDS 接口 11 = 并行 CMOS 接口	CMOS 输出时钟强度控制： 00 = 最大强度 (推荐并用于指定时序) 01 = 中等强度 10 = 低强度 11 = 非常低强度	启用时钟上升： 0 = 禁用 输出时钟上升沿： 00 = 默认位置 (时序在此条件下指定) 01 = 建立减少 500ps, 保持增加 500ps 10 = 数据转移与上升沿对齐 11 = 建立减少 200ps, 保持增加 200ps	输出时钟上升控制 (控制上升沿位置)： 00 = 禁用 01 = 建立减少 500ps, 保持增加 500ps 10 = 数据转移与上升沿对齐 11 = 建立减少 200ps, 保持增加 200ps	使能输出时钟下降沿： 0 = 禁用 01 = 建立减少 400ps, 保持增加 400ps 10 = 数据转移跟上升沿一致 11 = 建立减少 200ps, 保持增加	
42	00	控制输出时钟下降沿： LVDS 接口： 00 = 默认位置 (时序在此条件下指定) 01 = 建立减少 400ps, 保持增加 400ps 10 = 数据转移跟上升沿一致 11 = 建立减少 200ps, 保持增加	0	0	禁用低延时模式： 0 = 正常运行 1 = 只有 ADC 增益，测试模式和失凋修正被禁用； 1 = 低延时模式关	待机模式： 0 = 正常运行 1 = 只有 ADC 增益，测试模式和失凋修正被禁用； 1 = 低延时模式关	0

			200ps			闭, 数字 算法功能 被启用	间快		
43	00	0	断电: 0 = 正常运行; 1 = 全断电, ADC, 内部参考, 输入缓冲都断电, 唤醒时间慢	0	输出缓冲 电: 0 = 输出数据和时钟 引脚使能; 1 = 输出数据和时钟 引脚断电	0	0	LVDS 摆幅控制: 00 = 使用 LVDS 摆幅 寄存器的 LVDS 摆幅 控制被禁用; 01 = 不使用; 10 = 不使用; 11 = 使用 LVDS 摆幅 寄存器的 LVDS 摆幅控制使能	
4A	00	0	0	0	0	0	0	0	高性能模式 2: 0 = 重置后默认的性能; 1 = 高频输入信号时设置最佳性能
BF	00		设置失调底座: 当失调校正使能后, 失调校正后最终收敛值就是 ADC 中码值。通过对这些位进行编程, 可以在最终的收敛值上添加一个底座。 CD41AD49 值 底座 011111 31LSB 011110 30LSB				0	0	

		011101	29LSB			
		-	-			
		000000	0LSB			
		-	-			
		111111	-1LSB			
		111110	-2LSB			
		-	-			
		100000	-32LSB			
CF	00	冻结失 调校正: 0 = 失 调校正 不冻结; 1 = 失 调校正 被冻结	0	失调校正时间常数: 数值 时间常数 (周期)	0	0
		0000 1M				
		0001 2M				
		0010 4M				
		0011 8M				
		0100 16M				
		0101 32M				
		0110 64M				
		0111 128M				
		1000 256M				
		1001 512M				
		1010 1G				
		1011 2G				

增益配置中 SFDR/SNR 折中 CD41AD49 自带有提高 SFDR 的增益设置功能。可以通过上图的增益寄存器设置增益从 0 到 6dB。下表是增益设置对应的模拟输入范围关系。SFDR 的提升来自于 SNR 的折中，对每个增益设置来说，SNR 下降大约 0.5 到 1dB。高频输入时 SNR 下降速度放缓。所以增益配置对于高频输入时非常有效因为 SFDR 提升显著的同时，SNR 下降有限。所以此功能可以用来折中 SFDR 和 SNR。复位后，ADC 在低延时模式下，增益配置功能禁用，如果开启，需要以下步骤：

1. 禁用低延时模式 (DIS LOW LATENCY = 1)。
2. 这些设置使能增益并使器件进入 0dB 增益模式。
3. 对于其他增益设置，设置寄存器中的增益位。

增益 (dB)	类型	满量程 (VPP)
0	重置后默认	2
1	可编程	1.78
2	可编程	1.59

3	可编程	1.42
4	可编程	1.26
5	可编程	1.12
6	可编程	1.00

注意事项

1. 产品安装注意事项：

- 1) 要求应用对象电路板有一个完整干净的地。
- 2) 要求应用对象为多层布线板且内含独立的地层。
- 3) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 ADC 底下。
- 4) AV_{DD}, DRV_{DD} 和 V_{CM} 要接高质量的陶瓷旁路电容，且旁路电容要尽量靠近管脚，连接管脚和旁路电容的连线越短越宽越好。

2. 产品使用注意事项：

- 1) 差分输入应尽量靠近且相互平行。
- 2) 输入连线应尽量短以最小化寄生电容和噪声引入。
- 3) 为了更好的散热并获得更好的电性能，芯片的底板应焊接到 PCB 板的一个大的地端，从而最大限度发挥封装的热性能。
- 4) 很重要的是，芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。

3. 产品防护注意事项：

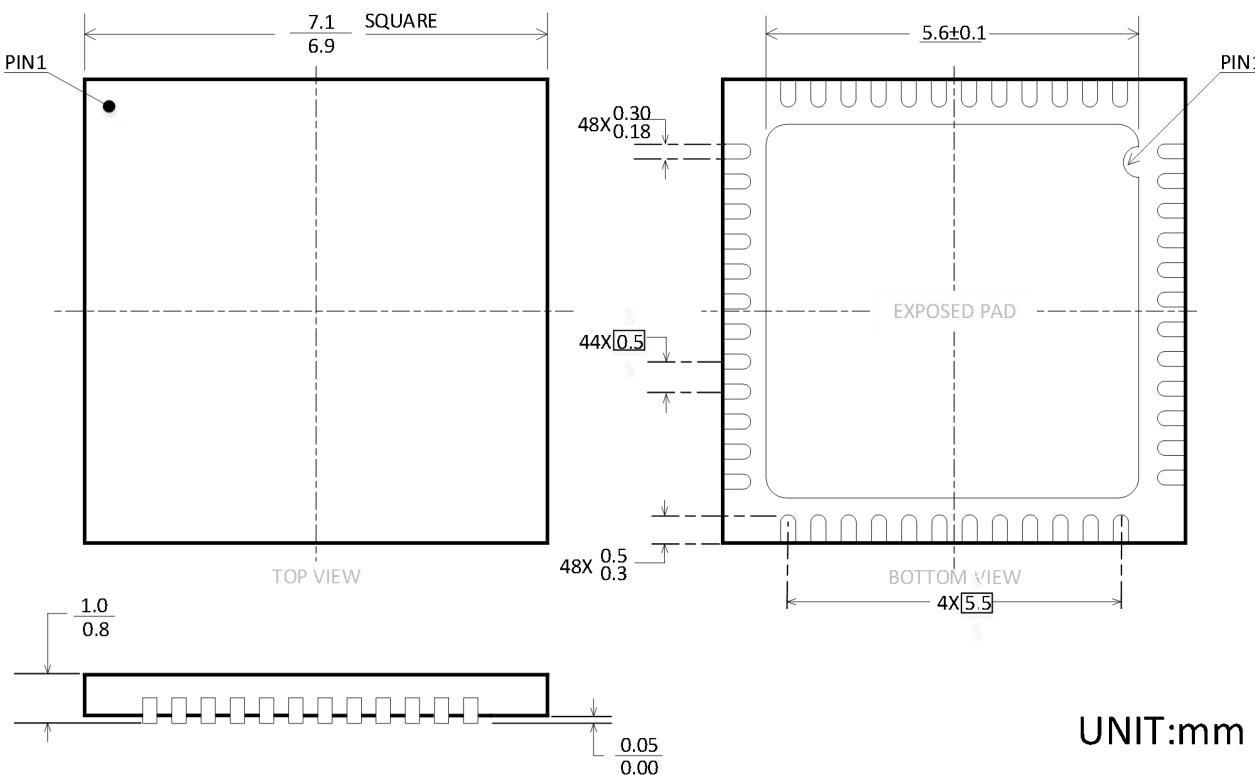
- 1) 静电电荷很容易在人体和测试设备上累积，并可能在没有察觉的情况下放电。尽管本产品具有专用 ESD 保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。
- 2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

常见故障及处理方法

1. 无信号输出：检查电源电压、输入信号、时钟是否正确加载。
2. 出现溢出信号：检查基准是否正常工作，输入信号幅度是否正确。
3. 器件工作不稳定：检查电源，保证电源电压稳定。

封装尺寸及结构

QFN-48



包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CD41AD49QF	-40°C-85°C	QFN-48	托盘, 260



修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.5.20	初版生成	常规更新	WW	LYL	