



CDuD1400_CDuD1401_CDuD1402

四通道数字隔离器

版本：Rev 1.0.0 日期：2025-6-12

产品特性

- 低功耗工作

@5 V 供电下

每通道最大 1.0mA@0 Mbps to 2 Mbps

每通道最大 3.5mA@10 Mbps

每通道最大 31mA@90 Mbps

@3 V 供电下

每通道最大 0.7mA@0 Mbps to 2 Mbps

每通道最大 2.1mA@10 Mbps

每通道最大 20mA@90 Mbps

- 双向通信

- 3 V/5 V 电平转换

- 工作温度最高可达： 125 °C

高数据速率： dc 至 90 Mbps (NRZ)

- 精密时序特性

- 高共模瞬变抗扰度： >25 kV/μs

- 输出启用功能

产品描述

CDuD1400/CDuD1401/CDuD1402 是采用 4/0 通道方向性的四通道数字隔离器。这些隔离器件将高速 CMOS 与单芯片空芯变压器技术融为一体，具有优于光耦合器等替代产品的出色性能特征。

此系列产品不用 LED 和光电二极管，因而不存在一般与光耦合器相关的设计困难。数字接口和稳定的性能特征，可消除光耦合器通常具有的电流传输比不确定、非线性传递函数以及温度和使用寿命影响等问题。不需要外部驱动器和其它分立器件。此外，在信号数据速率相当的情况下，该系列产品的功耗只有光耦合器的 1/10 至 1/6。

CDuD1400/CDuD1401/CDuD1402 系列隔离器提供四个独立的隔离通道，支持多种通道配置和数据速率。所有型号均可采用 2.7 V 至 5.5 V 电源电压工作，与低压系统兼容，并且能够跨越隔离栅实现电压转换功能。此外，CDuD1400/CDuD1401/CDuD1402 具有低脉冲宽度失真和严格的通道间匹配特性。

与其它光耦合器不同，CDuD1400/CDuD1401/CDuD1402 隔离器具有刷新特性，可确保不存在输入逻辑转换时及缺少一个电源条件下的直流正确性。

产品应用

- 通用多通道隔离

- SPI 接口/数据转换器隔离

- RS-232/RS-422/RS-485 收发器

- 工业现场总线隔离

- 汽车系统

目录

产品特性

产品应用

产品描述

引脚分配

功能框图

绝对最大额定值

电气特性

典型特性

封装外形及尺寸

包装/订购信息

修订日志

- 1 -

- 1 -

- 1 -

- 3 -

- 4 -

- 5 -

- 6 -

- 12 -

- 14 -

- 15 -

- 16 -

引脚分配

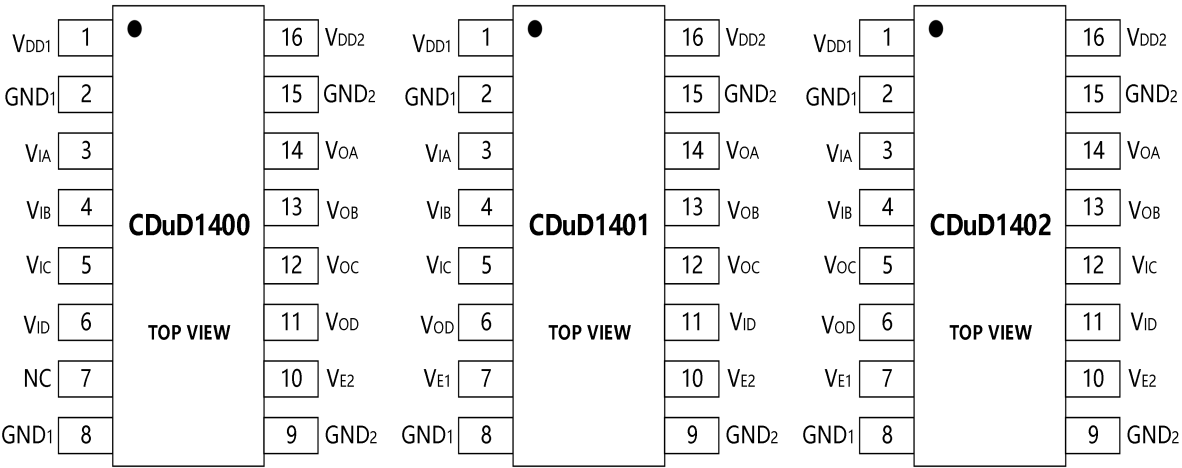


图 1. WSOP16 引脚分配

表 1. 引脚描述

引脚名称	引 脚 编 号 (CDuD1400)	引 脚 编 号 (CDuD1401)	引 脚 编 号 (CDuD1402)	引脚描述
V _{DD1}	1	1	1	隔离器 1 的电源电压.
GND ₁	2,8	2,8	2,8	地 1.
V _{IA}	3	3	3	逻辑输入 A.
V _{IB}	4	4	4	逻辑输入 B.
V _{IC}	5	5	12	逻辑输入 C.
V _{ID}	6	11	11	逻辑输入 D.
V _{E1}	--	--	7	输出启用 1。活动高逻辑输入。当 V _{E1} 为高电平或断开连接时，启用 V _{OD} 输出。当 V _{E1} 为低电平时，V _{OD} 被禁用。在嘈杂的环境中，建议将 V _{E1} 连接到外部逻辑高电平或低电平。
NC	7	--	--	无连接.
GND ₂	9,15	9,15	9,15	地 2
V _{E2}	10	10	10	输出启用 2。活动高逻辑输入。当 V _{E2} 为高电平或断开连接时，V _{OA} 、V _{OB} 、V _{OC} 和 V _{OD} 输出被启用。当 V _{E2} 为低电平时，V _{OA} 、V _{OB} 、V _{OC} 和 V _{OD} 输出被禁用。在嘈杂的环境中，建议将 V _{E2} 连接到外部逻辑高电平或低电平。
V _{OD}	11	6	6	逻辑输出 D.

V _{OC}	12	12	5	逻辑输出 C.
V _{OB}	13	13	13	逻辑输出 B.
V _{OA}	14	14	14	逻辑输出 A.
V _{DD2}	16	16	16	隔离器 2 的电源电压。

功能框图

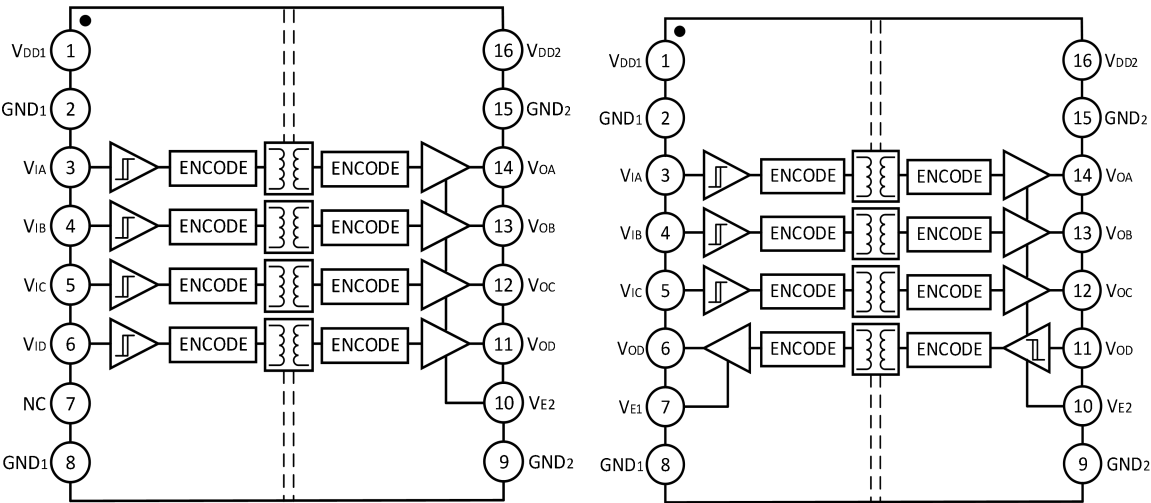


图 2. CDuD1400

图 3. CDuD1401

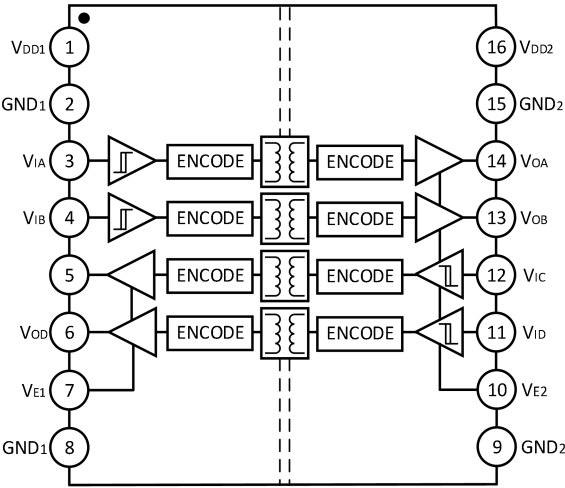


图 4. CDuD1402

表 2. 真值表

VIX 输入	VEX 输入	VDDI 状态	VDDO 状态	VOX 输出	注释
H	H 或 NC	上电	上电	H	关
L	H 或 NC	上电	上电	L	开
X	L	上电	上电	Z	--
X	H 或 NC	下电	上电	H	V _{DDI} 电源恢复后 1μs 内, 输出返回输入状态
X	L	下电	上电	Z	-
X	X	上电	下电	不定的	V _{DDI} 电源恢复后 1μs 内, 输出返回输入状态

绝对最大额定值

参数	范围
电源电压 (V _{DD1} , V _{DD2})	-0.5 V 至 +7.0 V
输入电压 (V _{IA} , V _{IB} , V _{IC} , V _{ID} , V _{E1} , V _{E2})	-0.5 V to V _{DDI} + 0.5 V
输出电压 (V _{OA} , V _{OB} , V _{OC} , V _{OD})	-0.5 V 至 V _{DDO} + 0.5 V
每个引脚的平均输出电流：	隔离器 1 左侧 (I _{O1})：-18 mA 至 +18 mA 隔离器 2 右侧 (I _{O2})：-22 mA 至 +22 mA
存储温度范围	-65°C 至 +150°C
工作温度范围	-40°C 至 +105°C
共模瞬态	-100 kV/μs 至 +100 kV/μs
最大持续工作电压	(1) 交流电压, 双极波形：565V peak
	(2) 交流电压, 单极波形 基本绝缘：1131V peak 加强绝缘：560V peak
	(3) 直流电压 基本绝缘：1131V peak 加强绝缘：560V peak

电气特性

除非另有说明, $4.5V \leq V_{DD1} \leq 5.5V$, $4.5V \leq V_{DD2} \leq 5.5V$; 所有典型规格均为 $T_A=25^{\circ}C$, $V_{DD1}=V_{DD2}=5V$ 。

表 3.

参数	符号	TA=+25°C			测试条件	单位
		最小值	典型值	最大值		
直流规格						
每个通道的输入静态电流	I _{DDI (Q)}	--	0.50	0.53		mA
每个通道的输出静态电流	I _{DDO(Q)}	--	0.19	0.21		mA
CDuD1400 四通道总电源电流						
V _{DD1} 电源电流, 直流 2 Mbps	I _{DD1(Q)}	--	2.2	2.8	直流 1 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 直流 2 Mbps	I _{DD2(Q)}	--	0.9	1.4	直流 1 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 10 Mbps	I _{DD1(10)}	--	8.6	10.6	5 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 10 Mbps	I _{DD2(10)}	--	2.6	3.5	5 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 90 Mbps	I _{DD1(90)}	--	70	100	45 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 90 Mbps	I _{DD2(90)}	--	18	25	45 MHz 逻辑信号频率.	mA
CDuD1401 四通道总电源电流						
V _{DD1} 电源电流, 直流 2Mbps	I _{DD1(Q)}	--	1.8	2.4	直流 1 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 直流 2Mbps	I _{DD2(Q)}	--	1.2	1.8	直流 1 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 10 Mbps	I _{DD1(10)}	--	7.1	9.0	5 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 10 Mbps	I _{DD2(10)}	--	4.1	5.0	5 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 90 Mbps	I _{DD1(90)}	--	57	82	45 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 90 Mbps	I _{DD2(90)}	--	31	43	45 MHz 逻辑信号频率.	mA
CDuD1402 四通道总电源电流						
V _{DD1} 电源电流, 直流 2Mbps	I _{DD1(Q), I_{DD2(Q)}}	--	1.5	2.1	直流 1 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 10 Mbps	I _{DD1(10), I_{DD2(10)}}	--	5.6	7.0	5 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 90 Mbps	I _{DD1(90), I_{DD2(90)}}	--	44	62	45 MHz 逻辑信号频率.	mA

	(90)					
所有模式						
输入电流	$I_{IA}, I_{IB}, I_{IC},$ I_{ID}, I_{E1}, I_{E2}	-10	+0.01	+10	$0\text{ V} \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or $V_{DD2}, 0\text{ V} \leq V_{E1}, V_{E2} \leq V_{DD1}$ or V_{DD2}	μA
逻辑高输入阈值电压	V_{IH}, V_{EH}	2.0	--	--		V
逻辑低输入阈值电压	V_{IL}, V_{EL}	--	--	0.8		V
逻辑高输出电压	$V_{OAH}, V_{OBH},$ V_{OCH}, V_{ODH}	$(V_{DD1}$ or $V_{DD2})$ - 0.1	5.0	--	$I_{OX} = -20\text{ }\mu\text{A}, V_{IX} = V_{IXH}$	V
	V_{IL}, V_{EL}	$(V_{DD1}$ or $V_{DD2})$ - 0.4	4.8	--	$I_{OX} = -3.2\text{mA}, V_{IX} = V_{IXH}$	V
逻辑低输出电压	$V_{OAL}, V_{OBL},$	--	0.0	0.1	$I_{OX} = 20\text{ }\mu\text{A}, V_{IX} = V_{IXL}$	V
	V_{OCL}, V_{ODL}	--	0.04	0.1	$I_{OX} = 400\mu\text{A}, V_{IX} = V_{IXL}$	V
		--	0.2	0.4	$I_{OX} = 3.2\text{mA}, V_{IX} = V_{IXL}$	V
开关特性	CDuD1400A/CDuD1401A/CDuD1402A					
最小脉冲宽度	PW	--	--	1000	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
最大数据速率	--	1	--	--	$C_L = 15\text{ pF}$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	50	70	100	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	--	40	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
Change vs. Temperature		--	11	--	$C_L = 15\text{ pF}$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	50	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
通道间匹配时间	t_{PSKCD}/t_{PSK} OD	--	--	50	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
CDuD1400B/CDuD1401B/CDuD1402B						
最小脉冲宽度	PW	--	--	100	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
最大数据速率	--	10	--	--	$C_L = 15\text{ pF}$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	15	35	50	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	--	3	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
Change vs. Temperature		--	5	--	$C_L = 15\text{ pF}$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	22	$C_L = 15\text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 双向	t_{PSKCD}	--	--	3	$C_L = 15\text{ pF}$, CMOS 信号电平	ns

通道间匹配时间, 反向	t_{PSKOD}	--	--	6	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
	CDuD1400C/CDuD1401C/CDuD1402C					
最小脉冲宽度	PW	--	8.3	11.1	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
最大数据速率	--	90	120	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	20	30	40	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	0.5	2	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
Change vs. Temperature		--	3	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	14	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 双向	t_{PSKCD}	--	--	2	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 反向	t_{PSKOD}	--	--	5	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
所有模式						
输出禁用传播延迟 (高/低到高阻抗)	t_{PHZ}, t_{PLH}	--	6	8	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
输出启用传播延迟 (高阻抗到高/低)	t_{PZH}, t_{PZL}	--	6	8	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
输出上升/下降时间 (10%至90%)	t_R/t_F					
5 V/3 V 工作		--	3.0	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
3 V/5 V 工作		--	2.5	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
逻辑高输出时的共模瞬态抗扰度	$ CM_H $	25	35	--	$V_{IX} = V_{DD1}$ or V_{DD2} , $V_{CM} = 1000 \text{ V}$, 瞬态幅值=800 V	kv/ μ s
逻辑低输出时的共模瞬态抗扰度	$ CM_L $	25	35	--	$V_{IX} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, 瞬态幅值=800 V	kv/ μ s
刷新率	fr					
5 V/3 V 工作		--	1.2	--		Mbps
3 V/5 V 工作		--	1.1	--		Mbps
每个通道的输入动态电源电流	$I_{DDI(D)}$					

5 V/3 V 工作		--	0.19	--		mA/ Mbps
3 V/5 V 工作		--	0.10	--		mA/ Mbps
每个通道的输出动态电源电 流	$I_{DDO(D)}$					
5 V/3 V 工作		--	0.03	--		mA/ Mbps
3 V/5 V 工作		--	0.05	--		mA/ Mbps

除非另有说明, $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$, $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$; 所有典型规格均为 $T_A=25^{\circ}\text{C}$ 、 $V_{DD1}=V_{DD2}=3\text{V}$ 。

表 4.

参数	符号	TA=+25°C			测试条件	单位
		最小 值	典型 值	最大 值		
直流规格						
每个通道的输入静态电流	I _{DDI (Q)}	--	0.26	0.31		mA
每个通道的输出静态电流	I _{DDO(Q)}	--	0.11	0.14		mA
CDuD1400 四通道总电源电 流						
V _{DD1} 电源电流, 直流 2 Mbps	I _{DD1(Q)}	--	1.2	1.9	DC to 1 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 直流 2 Mbps	I _{DD2(Q)}	--	0.5	0.9	DC to 1 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 10 Mbps	I _{DD1(10)}	--	4.5	6.5	5 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 10 Mbps	I _{DD2(10)}	--	1.4	2.0	5 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 90 Mbps	I _{DD1(90)}	--	37	65	45 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 90 Mbps	I _{DD2(90)}	--	11	15	45 MHz 逻辑信号频率.	mA
CDuD1401 四通道总电源电 流						
V _{DD1} 电源电流, 直流 2Mbps	I _{DD1(Q)}	--	1.0	1.6	DC to 1 MHz 逻辑信号频率.	mA
V _{DD2} 电源电流, 直流 2Mbps	I _{DD2(Q)}	--	0.7	1.2	DC to 1 MHz 逻辑信号频率.	mA
V _{DD1} 电源电流, 10 Mbps	I _{DD1(10)}	--	3.7	5.4	5 MHz 逻辑信号频率.	mA

V_{DD2} 电源电流, 10 Mbps	$I_{DD2(10)}$	--	2.2	3.0	5 MHz 逻辑信号频率.	mA
V_{DD1} 电源电流, 90 Mbps	$I_{DD1(90)}$	--	30	52	45 MHz 逻辑信号频率.	mA
V_{DD2} 电源电流, 90 Mbps	$I_{DD2(90)}$	--	18	27	45 MHz 逻辑信号频率.	mA
CDuD1402 四通道总电源电流						
V_{DD1} 电源电流, 直流 2Mbps	$I_{DD1(Q)}, I_{DD2(Q)}$	--	0.9	1.5	DC to 1 MHz 逻辑信号频率.	mA
V_{DD1} 电源电流, 10 Mbps	$I_{DD1(10)}, I_{DD2(10)}$	--	3.0	4.2	5 MHz 逻辑信号频率.	mA
V_{DD1} 电源电流, 90 Mbps	$I_{DD1(90)}, I_{DD2(90)}$	--	24	39	45 MHz 逻辑信号频率.	mA
所有模式						
输入电流	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{E1}, I_{E2}$	-10	+0.01	+10	$0V \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or $V_{DD2}, 0V \leq V_{E1}, V_{E2} \leq V_{DD1}$ or V_{DD2}	μA
逻辑高输入阈值电压	V_{IH}, V_{EH}	1.6	--	--		V
逻辑低输入阈值电压	V_{IL}, V_{EL}	--	--	0.4		V
逻辑高输出电压	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	3.0	--	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$	V
	V_{IL}, V_{EL}	$(V_{DD1}$ or $V_{DD2}) - 0.4$	2.8	--	$I_{Ox} = -3.2mA, V_{Ix} = V_{IxH}$	V
逻辑低输出电压	V_{OAL}, V_{OBL}	--	0.0	0.1	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$	V
	V_{OCL}, V_{ODL}	--	0.04	0.1	$I_{Ox} = 400\mu A, V_{Ix} = V_{IxL}$	V
		--	0.2	0.4	$I_{Ox} = 3.2mA, V_{Ix} = V_{IxL}$	V
开关特性	CDuD1400A/CDuD1401A/CDuD1402A					
最小脉冲宽度	PW	--	--	1000	$C_L = 15 pF$, CMOS 信号电平	ns
最大数据速率	--	1	--	--	$C_L = 15 pF$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	50	75	100	$C_L = 15 pF$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	--	40	$C_L = 15 pF$, CMOS 信号电平	ns
Change vs. Temperature		--	11	--	$C_L = 15 pF$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	50	$C_L = 15 pF$, CMOS 信号电平	ns

通道间匹配时间	t_{PSKCD}/t_{PSK} OD	--	--	50	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
CDuD1400B/CDuD1401B/CDuD1402B						
最小脉冲宽度	PW	--	--	100	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
最大数据速率	--	10	--	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	20	38	50	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	--	3	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
Change vs. Temperature		--	5	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	22	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 双向	t_{PSKCD}	--	--	3	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 反向	t_{PSKOD}	--	--	6	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
CDuD1400C/CDuD1401C/CDuD1402C						
最小脉冲宽度	PW	--	8.3	11.1	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
最大数据速率	--	90	120	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	Mbps
传播延迟时间	t_{PHL}, t_{PLH}	20	34	45	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
脉宽失真, $ t_{PLH} - t_{PHL} $	PWD	--	0.5	2	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
Change vs. Temperature		--	3	--	$C_L = 15 \text{ pF}$, CMOS 信号电平	ps/°C
延迟差异时间	t_{PSK}	--	--	16	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 双向	t_{PSKCD}	--	--	2	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
通道间匹配时间, 反向	t_{PSKOD}	--	--	5	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
所有模式						
输出禁用传播延迟 (高/低到高阻抗)	t_{PHZ}, t_{PLH}	--	6	8	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
输出启用传播延迟 (高阻抗到高/低)	t_{PZH}, t_{PZL}	--	6	8	$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
输出上升/下降时间 (10%至90%)	t_R/t_F		3		$C_L = 15 \text{ pF}$, CMOS 信号电平	ns
逻辑高输出时的共模瞬态抗扰度	$ CM_H $	25	35	--	$V_{IX} = V_{DD1} \text{ or } V_{DD2}$, $V_{CM} = 1000 \text{ V}$, 瞬态幅值=800 V	kv/μs
逻辑低输出时的共模瞬态抗扰度	$ CM_L $	25	35	--	$V_{IX} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, 瞬态幅值=800 V	kv/μs
刷新率	fr	--	1.1	--		

每个通道的输入动态电源电 流	$I_{DDI(D)}$	--	0.10	--		mA/ Mbps
每个通道的输出动态电源电 流	$I_{DDO(D)}$	--	0.03	--		mA/ Mbps

典型特性

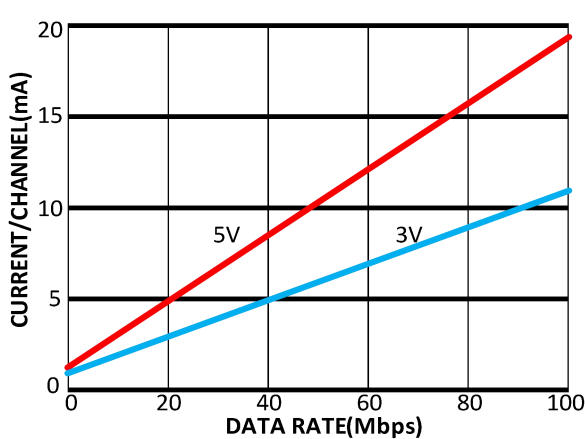


图 5.每个通道的典型输入电源电流与数据速率的关系

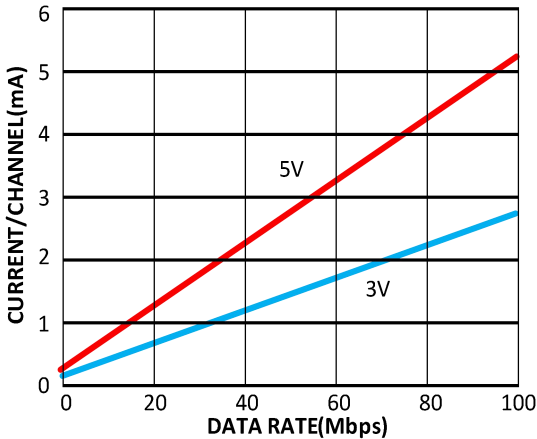


图 6. 每个通道的典型输出电流与数据速率的关系 (无输出负载)

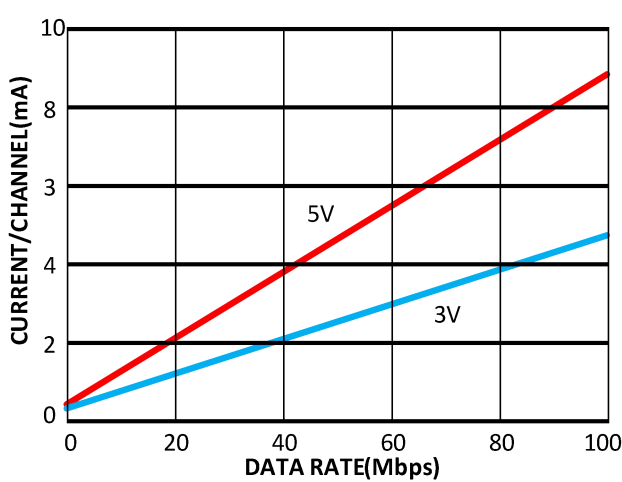


图 7. 每个通道的典型输出电流与数据速率的关系
(15 pF 输出负载)

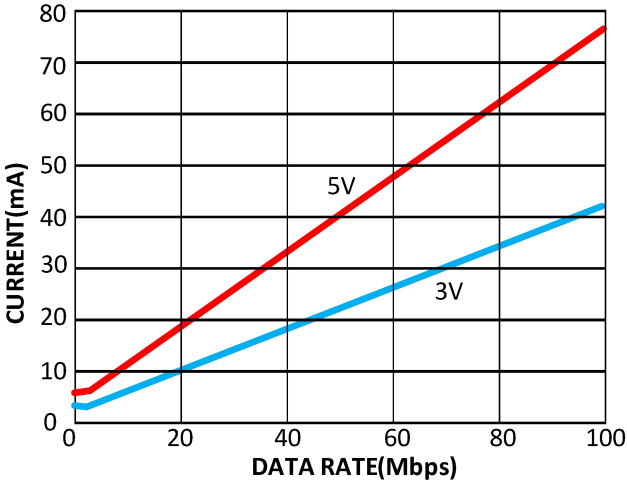


图 8.典型的 CDuD1400 V_{DD1} 电源电流与数据速率的关系

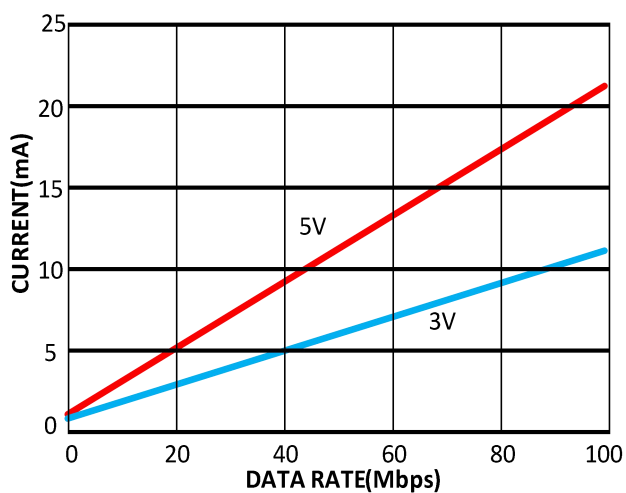


图 9. 典型 CDuD1400 V_{DD2} 电源电流与数据速率的关系

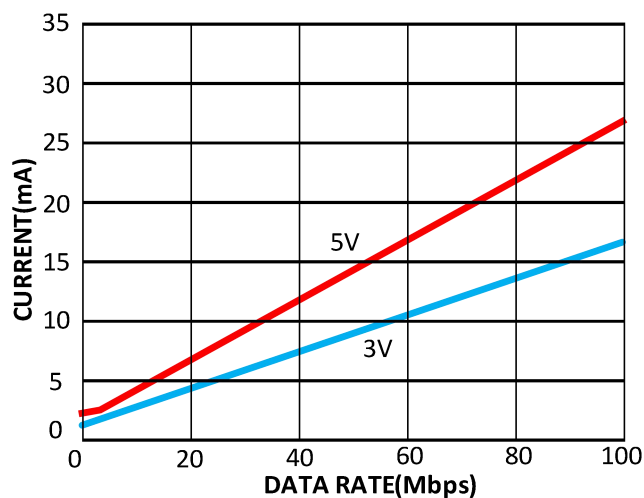


图 10. 典型的 CDuD1401 V_{DD1} 电源电流与数据速率的关系

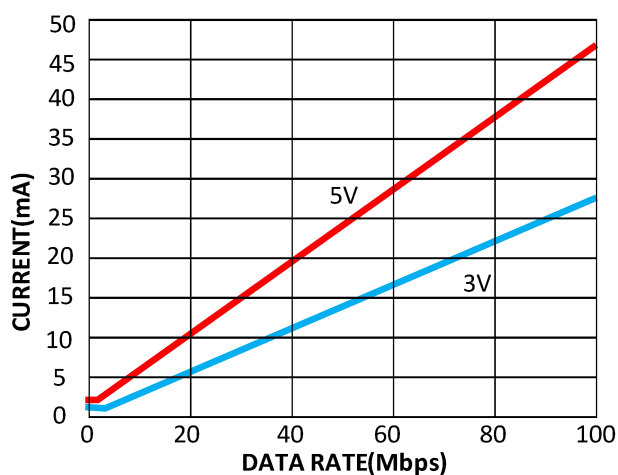


图 11. 典型 CDuD1401 V_{DD2} 电源电流与数据速率的关系

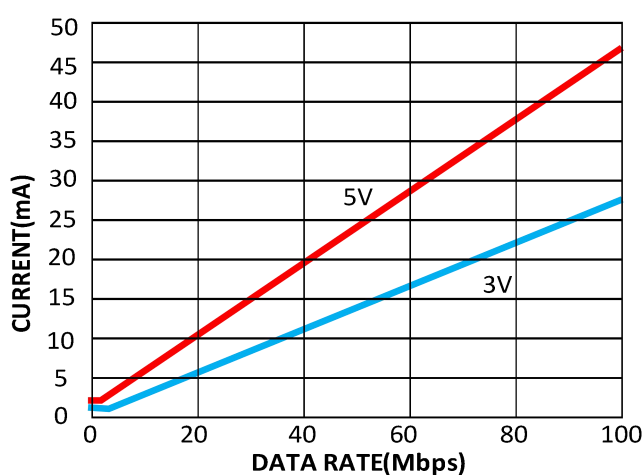


图 12. 典型 CDuD1402 V_{DD1} 或 V_{DD2} 电源电流
与数据速率的关系

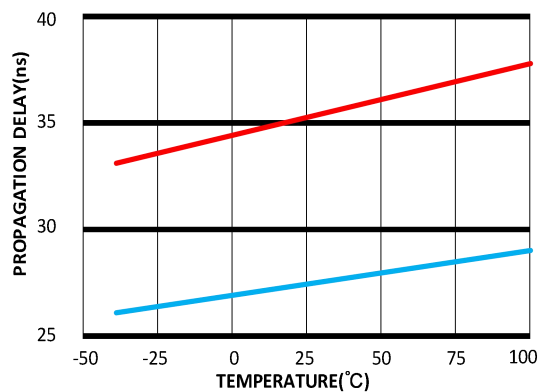


图 13. 传播延迟时间与温度的关系

封装外形及尺寸

WSOP-16

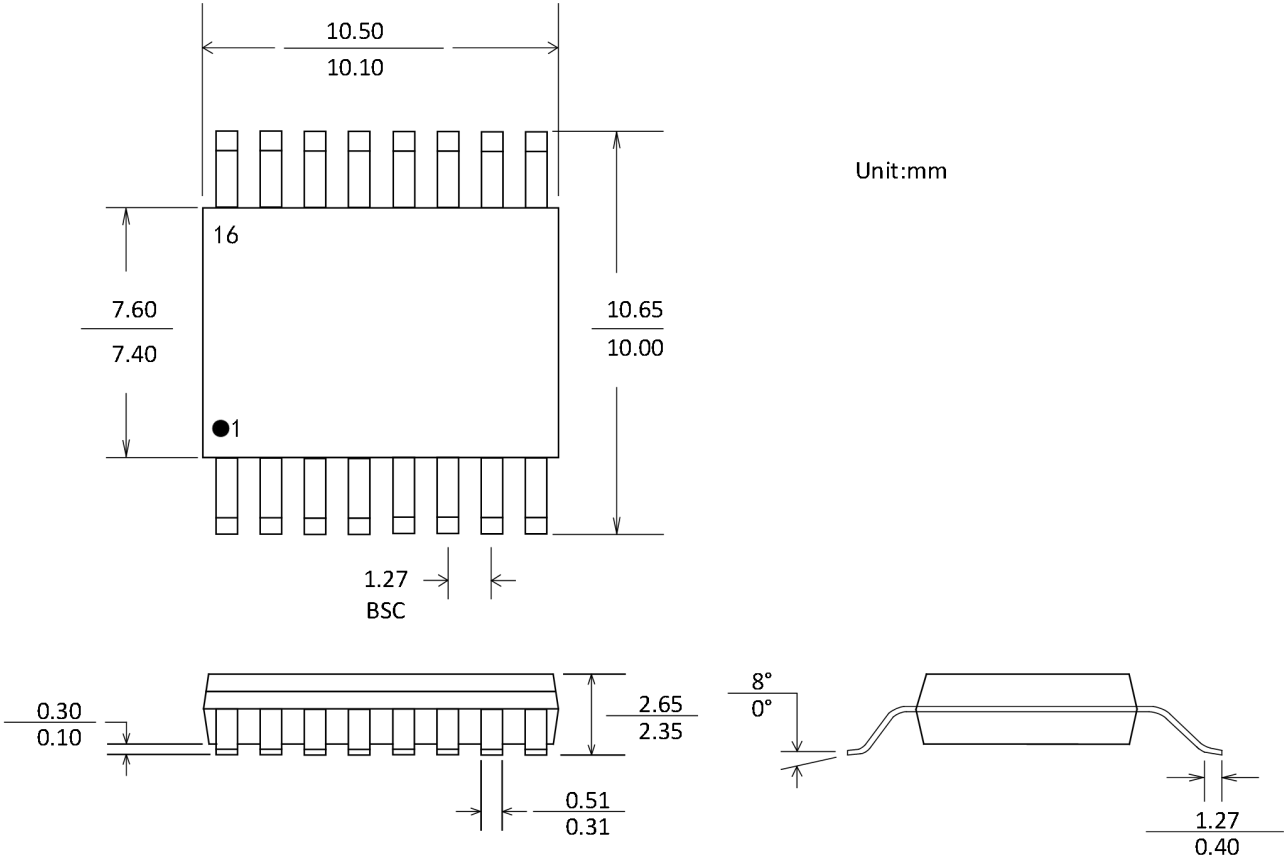


图 11 . WSOP16 封装外形图

包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CDuD1400HAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500
CDuD1400LAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500
CDuD1401HAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500
CDuD1401LAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500
CDuD1402HAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500
CDuD1402LAS16	-40℃~105℃	WSOP-16	编带和卷盘,每卷 2500

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.6.3	初版生成	常规更新	WW	LYL	
V1.1	2025.6.12	更新 WSOP16 尺寸图及描述	错误更新	WW	LYL	