



## CDG738\_CDG739

3 线串行控制矩阵开关

版本: Rev 1.0.0 日期: 2025-6-18

## 产品特性

- 3 线串行接口
- 2.7V 至 5.5V 单电源
- 2.5Ω 导通电阻
- 0.75Ω 电阻平坦度
- 100 pA 泄漏电流
- 单路 8-1 多路复用器 CDG738
- 双路 4-1 多路复用器 CDG739
- 上电复位
- TTL/CMOS 兼容
- TSSOP-16 封装

## 产品应用

- 数据采集系统
- 通信系统
- 继电器更换
- 音频和视频切换

## 产品描述

CDG738 和 CDG739 是采用串行控制的 3 线接口的 CMOS 模拟矩阵开关。CDG738 是一个 8 通道矩阵开关，而 CDG739 则是双 4 通道矩阵开关。各开关之间的导通电阻匹配紧密，并且在整个信号范围内非常平坦。

CDG738 和 CDG739 采用了一种与 SPI™、QSPI™、MICROWIRE® 及某些 DSP 接口标准兼容的 3 线串行接口。输入移位寄存器的输出 DOUT 允许多个此类部件串联连接。上电时，内部输入移位寄存器包含全零，所有开关均处于断开状态。每个开关在导通状态下双向导电性能一致，这使得这些部件既适用于多路复用也适用于多路分用应用。由于每个开关通过独立的位来打开或关闭，这些部件也可以配置为一种开关阵列，其中任意数量、全部或无开关在任何时候都可以闭合。输入信号范围扩展至电源轨。



## 目录

产品特性 .....	- 1 -
产品应用 .....	- 1 -
产品描述 .....	- 1 -
引脚分配 .....	- 3 -
功能框图 .....	- 5 -
绝对最大额定值 .....	- 5 -
电气特性 .....	- 6 -
测试电路 .....	- 10 -
封装外形及尺寸 .....	- 11 -
包装/订购信息 .....	- 12 -
修订日志 .....	- 13 -

## 产品优势

1. 三线串行接口。
2. 单电源操作。CDG738/CDG739 在 3V 和 5V 供电电压下进行了全面的规范定义并保证其性能。
3. 低导通电阻，典型值为  $2.5\Omega$ 。
4. 任一时刻，开关的任意组合均可处于开启或关闭状态。
5. 保证先断后合的切换动作。

小型 16 引脚 TSSOP 封装

## 引脚分配

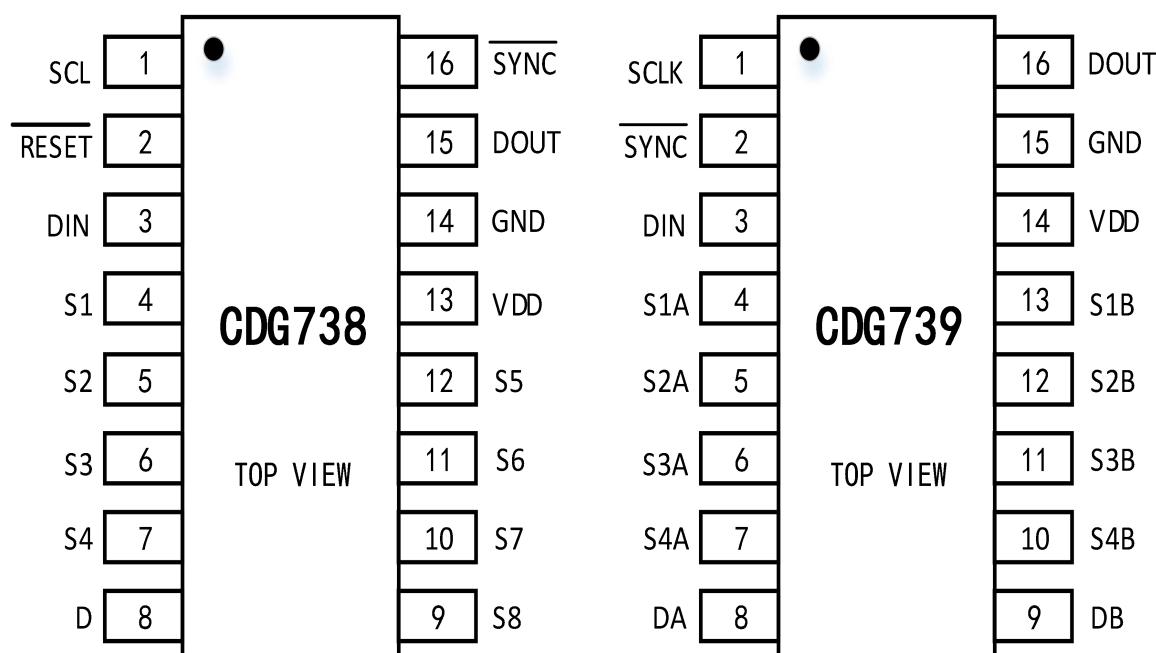


图 1. TSSOP16 引脚分配

### 引脚描述

#### CDG738

CDG738	引脚名称	描述
1	SCLK	串行时钟输入。数据在串行时钟输入的下降沿被锁存到输入移位寄存器中。这些装置能够适应高达 30 MHz 的串行输入速率。
2	RESET	低电平有效的控制输入。此引脚用于清空输入寄存器，并将所有开关置于关闭状态。

3	DIN	串行数据输入。数据在串行时钟输入的下降沿被锁存到 8 位输入寄存器中。
4,5,6,7	S1,S2,S3,S4	源级端。这些引脚可以是输入或输出。
8	D	漏级端。这些引脚可以是输入或输出。
9,10,11,12	S8,S7,S6,S5	源级端。这些引脚可以是输入或输出。
13	V <sub>DD</sub>	电源输入。这些部件可以在 2.7 伏至 5.5 伏的电源电压下工作。
14	GND	地
15	DOUT	数据输出。这允许多个部件以菊花链方式连接。数据在 SCLK 上升沿时从输入移位寄存器中输出。这是一个开漏输出，应该通过外部电阻上拉至电源。
16	SYNC	低电平有效的控制输入。这是输入数据的帧同步信号。当 SYNC 变为低电平时，它会启用 SCLK 和 DIN 缓冲区以及输入移位寄存器。数据在随后的时钟下降沿被传输。将 SYNC 置高则更新开关状态。

表 2. 引脚描述

CDG739

CDG739	引脚名称	描述
1	SCLK	串行时钟输入。数据在串行时钟输入的下降沿被锁存到输入移位寄存器中。这些装置能够适应高达 30 MHz 的串行输入速率。
2	SYNC	低电平有效的控制输入。这是输入数据的帧同步信号。当 SYNC 变为低电平状态时，它将启动 SCLK (串行时钟) 和 DIN (数据输入) 缓冲器，并使输入移位寄存器处于工作状态。数据在接下来的时钟脉冲下降沿被传送。而将 SYNC 置为高电平则会更新交换条件的状态。
3	DIN	串行数据输入。数据在串行时钟输入的下降沿被载入到 8 位输入寄存器中。
4,5,6,7	S1A,S2A,S3A, S4A	源级端。这些引脚可以是输入或输出。
8,9	DA,DB	漏级端。这些引脚可以是输入或输出。
10,11,12,13	S4B,S3B,S2B,S 1B	源级端。这些引脚可以是输入或输出。
14	V <sub>DD</sub>	电源输入。这些部件可以在 2.7 伏至 5.5 伏的电源电压下工作。
15	GND	地
16	DOUT	数据输出。此功能允许多个部件串联连接 (菊花链式连接)。数据在 SCLK (串行时钟) 的上升沿从输入移位寄存器中输出。这是一个开漏输出，需要通过外部电阻上拉至电源电

压。

## 功能框图

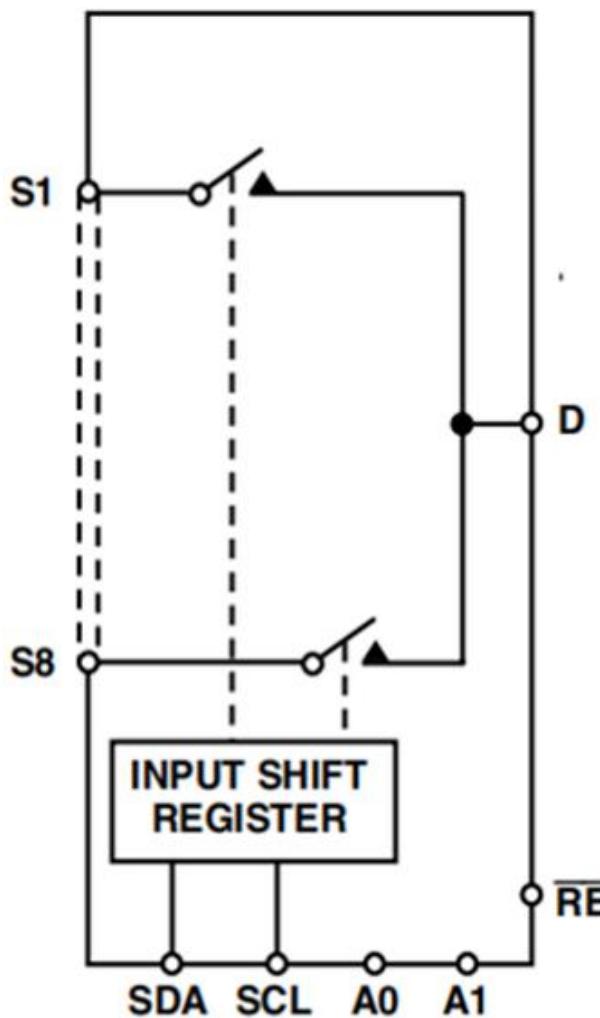


图 2. CDG738

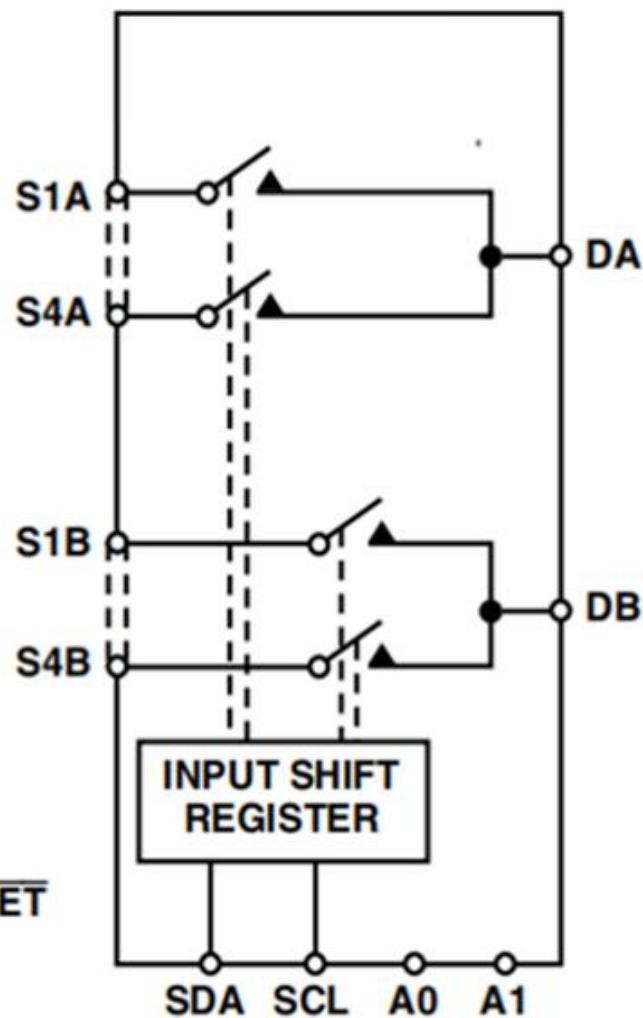


图 3. CDG739

## 绝对最大额定值

参数	额定值
VDD to GND	-0.3 V 至 +7 V
模拟/数字信号输入	-0.3 V 至 VDD + 0.3 V 或 30 mA, 以先发生为主
持续电流, S端	30mA
D端持续电流, CDG739	80mA

D端持续电流, CDG738	120mA					
工作温度范围	-40°C 至 +85°C					
储存温度范围	-65°C 至 +150°C					
结温	150°C					
引脚温度	按照JEDEC J-STD-020标准					
ESD (HBM)	2kV					

## 电气特性

除非另有说明,  $V_{DD}=+5\text{ V}\pm10\%$ ,  $GND=0\text{ V}$ 。测试温度为-40°C 至+85°C。

参数	+25°C			-40° C to +85° C			测试条件	单位	
	最小值	典型值	最大值	最小值	典型值	最大值			
<b>模拟开关</b>									
模拟信号范围				0V 至 $V_{DD}$					
导通电阻 ( $R_{on}$ )	--	2.5	4.5	--	--	5	$V_S=0\text{V}$ to $V_{DD}$ , $I_S=10\text{mA}$ ; 见图 6	Ω	
通道间导通电阻( $\Delta R_{on}$ )	--	--	--	--	0.4	0.8	$V_S=0\text{V}$ 至 $V_{DD}$ , $I_S=10\text{mA}$	Ω	
电阻平坦度(RFLAT (ON))	--	0.75	--	--	--	1.2	$V_S=0\text{V}$ 至 $V_{DD}$ , $I_S=10\text{mA}$	Ω	
<b>漏电流</b>									
$V_{DD}=+5.5\text{V}$									
源关闭漏电流, $I_S$ (Off)	--	±0.01	±0.1	--	--	±0.3	$V_S=1\text{V}/4.5\text{V}$ , $V_D=4.5\text{V}/1\text{V}$ ;见图 8	nA	
漏电流, $I_D$ (Off)	--	±0.01	±0.1	--	--	±1	$V_S=1\text{V}/4.5\text{V}$ , $V_D=4.5\text{V}/1\text{V}$ ;见图 8	nA	
通道漏电流, $I_D$ , $I_S$ (On)	--	±0.01	±0.1	--	--	±1	$V_S=V_D=1\text{V}$ , or 4.5V;见图 7	nA	
<b>数字输入</b>									
输入高压, $V_{INH}$				2.4	--	--			
输入低压, $V_{INL}$				--	--	0.8			
输入电流 $I_{INL}$ or $I_{INH}$	--	0.005	--	--	--	±0.1	$V_{IN}=V_{INL}$ 或 $V_{INH}$	μA	
数字输入电容, $C_{IN}$	--	3	--	--	--	--			
<b>逻辑输出, SDA</b>									
低输出电压, $V_{OL}$	--	--	--	--	--	0.4	$I_{SINK}=6\text{mA}$	V	

**动态特性**

$t_{on}$	--	20	--	--	--	32	$R_L=300$ $\Omega, C_L=35\text{pF}, V_S=3\text{V}$	ns
$t_{OFF}$	--	10	--	--	--	17	$R_L=300$ $\Omega, C_L=35\text{pF}, V_S=3\text{V}$	ns
接通前断开延时, $t_D$	--	9	--	1	--	--	$R_L=30$ $\Omega, C_L=35\text{pF}, V_S=3\text{V}$	ns
注入电荷	--	$\pm 3$	--				$V_S=2.5\text{V}; R_S=0\Omega,$ $C_L=1\text{nF}$	pC
关闭隔离	--	-55	--				$R_L=50\Omega, C_L=5\text{pF},$ $f=10\text{MHz}$	dB
	--	-75	--				$R_L=50\Omega, C_L=5\text{pF},$ $f=1\text{MHz}$	dB
频道间串扰	--	-55	--				$R_L=50\Omega, C_L=5\text{pF},$ $f=10\text{MHz};$	dB
	--	-75	--				$R_L=50\Omega, C_L=5\text{pF},$ $f=1\text{MHz};$	dB
-3dB 带宽(CDG738)	--	65	--				$R_L=50\Omega, C_L=5\text{pF};$	MHz
-3dB 带宽(CDG739)	--	100	--				$R_L=50\Omega, C_L=5\text{pF};$	MHz
$C_S$ (OFF)	--	13	--					pF
$C_D$ (OFF)-CDG738	--	85	--					pF
$C_D$ (OFF)-CDG739	--	42	--					pF
$C_D, C_S$ (On)-CDG738	--	96	--					pF
$C_D, C_S$ (On)-CDG739	--	48	--					pF

**电源**

$I_{DD}$	--	10	--	--	--	20	$V_{DD}=+5.5\text{V}$ , 数字输入 =0V 或 5V	$\mu\text{A}$
----------	----	----	----	----	----	----	--	---------------

除非另有说明,  $V_{DD}=+3\text{V}\pm 10\%$ , GND=0V。测试温度为-40°C 至+85°C。

参数	+25°C			-40°C to +85°C			测试条件	单位
	最小值	典型值	最大值	最小值	典型值	最大值		

**模拟开关**

模拟输入范围				$0\text{V}$ to $V_{DD}$				V
导通电阻 ( $R_{on}$ )	--	6	11	--	--	12	$V_S=0\text{V}$ to $V_{DD}$ ,	$\Omega$

							$I_S = 10\text{mA}; \text{See Figure 6}$	
通道间导通电阻( $\Delta R_{on}$ )	--	--	--	--	0.4	1.2	$V_S = 0\text{V to } V_{DD}$ , $I_S = 10\text{mA}$	$\Omega$
电阻平坦度(RFLAT (ON))	--	3.5	--	--	--	--	$V_S = 0\text{V to } V_{DD}$ , $I_S = 10\text{mA}$	$\Omega$
<b>漏电流</b>								$V_{DD} = +3.3\text{V}$
源关闭漏电流, $I_S$ (Off)	--	$\pm 0.01$	$\pm 0.1$	--	--	$\pm 0.3$	$V_S = 1\text{V/3V},$ $V_D = 3\text{V/1V}; \text{See Figure 8}$	nA
漏电流, $I_D$ (Off)	--	$\pm 0.01$	$\pm 0.1$	--	--	$\pm 1$	$V_S = 1\text{V/3V},$ $V_D = 3\text{V/1V}; \text{See Figure 8}$	nA
通道漏电流, $I_D, I_S$ (On)	--	$\pm 0.01$	$\pm 0.1$	--	--	$\pm 1$	$V_S = V_D = 1\text{V, or } 3\text{V}; \text{See Figure 7}$	nA
<b>数字输入</b>								
输入高压, $V_{INH}$				2.0	--	--		V
输入低压, $V_{INL}$				--	--	0.4		V
输入电流 $I_{INL}$ or $I_{INH}$	--	0.0 05	--	--	--	$\pm 0.1$	$V_{IN} = V_{INL}$ or $V_{INH}$	$\mu\text{A}$
数字输入电容, $C_{IN}$	--	3	--	--	--	--		pF
<b>逻辑输出, (SDA)</b>								
输出低电压, $V_{OL}$	--	--	--	--	--	0.4	$I_{SINK} = 6\text{ mA}$	
<b>动态特性</b>								
$t_{on}$	--	40	--	--	--	70	$R_L = 300\Omega, C_L = 35\text{pF}, V_S = 3\text{V}$	ns
$t_{on}$	--	14	--	--	--	25	$R_L = 300\Omega, C_L = 35\text{pF}, V_S = 3\text{V}$	ns
接通前断开延时, $t_D$	--	12	--	1	--	--	$R_L = 30\Omega, C_L = 35\text{pF}, V_S = 3\text{V}$	ns
注入电荷	--	$\pm 3$	--				$V_S = 2\text{V}; R_S = 0\Omega, C_L = 1\text{nF}$	pC
关闭隔离	--	-5 5	--				$R_L = 50\Omega, C_L = 5\text{pF}, f = 10\text{MHz}$	dB
	--	-7 5	--				$R_L = 50\Omega, C_L = 5\text{pF}, f = 1\text{MHz}$	dB
	--	-5 5	--				$R_L = 50\Omega, C_L = 5\text{pF}, f = 10\text{MHz}$	dB
频道间串扰	--	-5 5	--				$R_L = 50\Omega, C_L = 5\text{pF}, f = 10\text{MHz}$	dB
	--	-7	--				$R_L = 50\Omega, C_L = 5\text{pF}$	dB
	--							

		5					f=1MHz;	
-3 dB 带宽(CDG738)	--	65	--				$R_L=50\Omega, C_L=5pF;$	MHz
-3 dB 带宽(CDG739)	--	10	--					
		0						
$C_S$ (OFF)	--	13	--					pF
$C_D$ (OFF)-CDG738	--	85	--					pF
$C_D$ (OFF)-CDG739		42						
$C_D, C_S$ (On)-CDG738	--	96	--					pF
$C_D, C_S$ (On)-CDG739	--	48	--					pF
<b>电源</b>								
$I_{DD}$	--	10	--	--	--	20	$V_{DD}=+3.3V, Digital$ inputs=0V or 3.3V	$\mu A$

## 典型特性

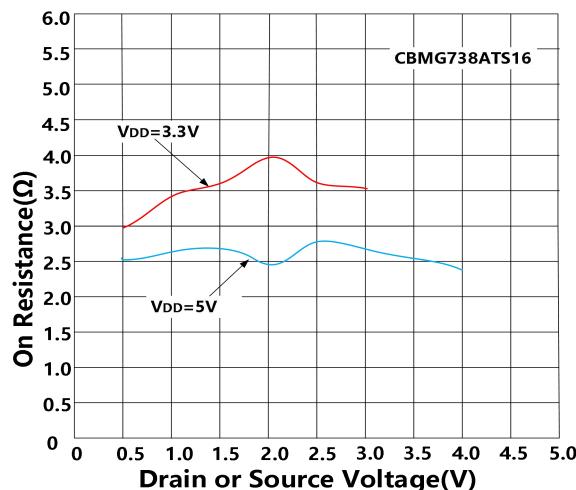


图 4.单电源下的导通电阻与  $V_D$  ( $V_S$ )的关系-(CDG738)

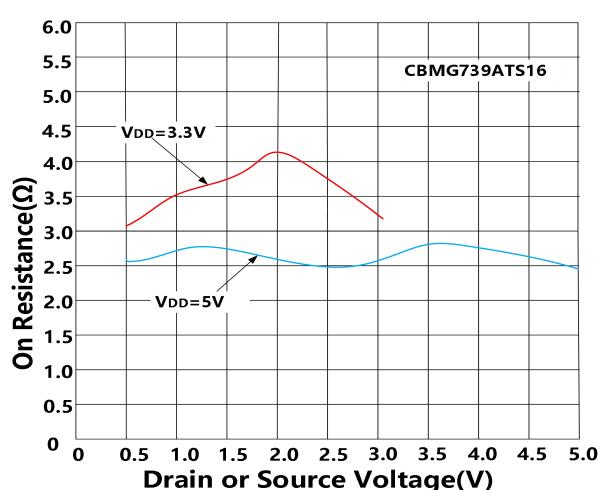
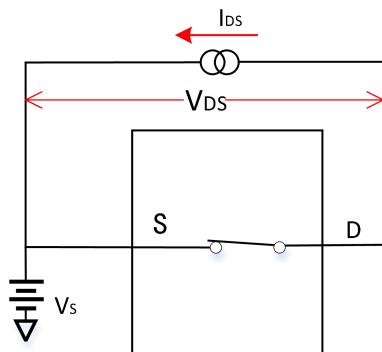


图 5.单电源下的导通电阻与  $V_D$  ( $V_S$ )的关系-(CDG739)

## 测试电路



$$R_{ON} = V_{DS} / I_{DS}$$

图 6. 导通电阻

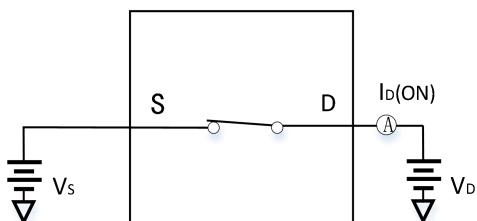


图 7. 导通漏电流

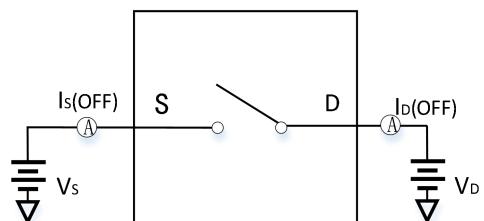


图 8. 关闭漏电流

## 封装外形及尺寸

### TSSOP-16

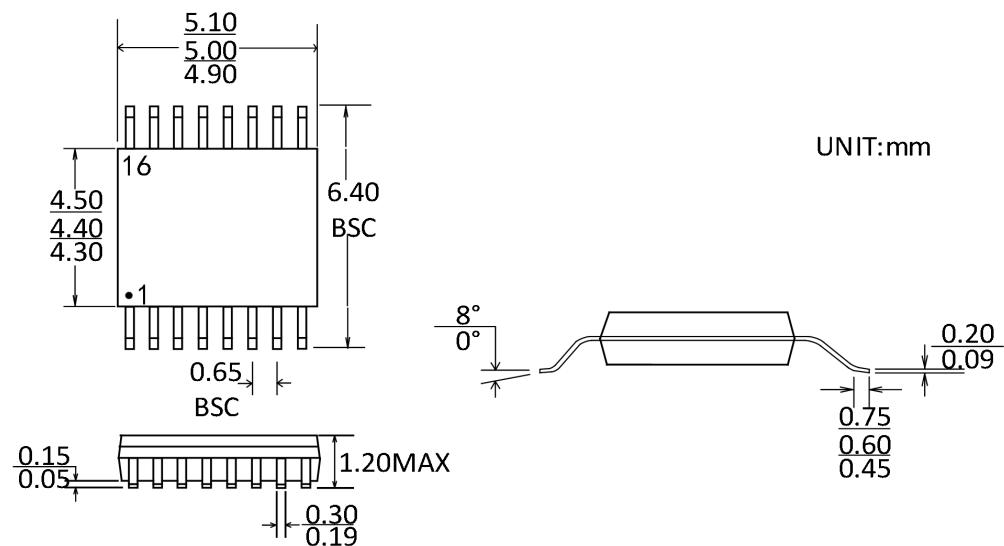


图 10 . TSSOP16 封装外形图



## 包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CDG738ATS16	-40°C~85°C	TSSOP-16	编带和卷盘,每卷 3000
CDG739ATS16	-40°C~85°C	TSSOP-16	编带和卷盘,每卷 3000

## 修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.6.18	初版生成	常规更新	WW	LYL	