



CD99D10BQ

1GSPS, 14 bit, 3.3 V CMOS 直接数字频率合成器

版本: Rev 1.0.0 日期: 2025-7-1

产品特性

- 电源：1.8 V 和 3.3 V
- 内部系统时钟：1 GSPS（高达 400 MHz 模拟输出）
- 内置 1 GSPS 14 位 DAC
- 频率分辨率：0.23Hz 或以上
- 输出相位噪声： ≤ -125 dBc/Hz（1 kHz 偏移，400 MHz 载波）
- 窄带 SFDR： >80 dB
- 串行输入/输出（I/O）控制
- 自动线性或任意频率/相位/振幅扫描功能
- 反 sinc 校正滤波器
- 8 种频率和相位偏移形式
- 内部振荡器，支持单晶体操作
- 软件/硬件控制的省电功能
- 集成 1024 字 \times 32 的 RAM
- 并行数据路径接口
- PLL REFCLK 乘法器
- 调相功能
- 调幅功能
- 多芯片同步
- 封装：TQFP-100

产品应用

- 可编程时钟发生器
- 雷达和扫描系统的 FM 线性调频源
- 测试与测量设备
- 声光设备驱动器
- 极化调制器
- 快速调频

产品描述

CD99D10 是一款内置 14 位 DAC 的直接数字频率合成器（DDS），支持高达 1 GSPS 采样速率，可生成 400 MHz 正弦波形。用户可通过内部频率、相位与振幅控制字来控制 DDS 输出信号。

DDS 能够进行快速跳频，在 1 GSPS 采样速率下，利用 32 位累加器能达到 0.23 Hz 的调谐分辨率。这款 DDS 还实现了快速相位与幅度切换功能。用户可通过串行 I/O 端口对 CD99D10 的内部控制寄存器进行编程，以实现对其控制。CD99D10 集成了静态 RAM，可支持频率、相位和/或振幅调制的多种组合。CD99D10 还支持用户定义的数控数字斜坡工作模式。在该模式下，频率、相位或振幅随时间呈线性变化。CD99D10 内置的高速并行数据输入端口能实现直接频率、相位、振幅或极化调制，以支持更高级的调制功能。

目录

产品特性

产品应用

产品描述

功能框图

电气特性

引脚配置与功能描述

典型性能

串口 I/O 时序图

寄存器映射与位功能描述

封装外形及尺寸

包装/订购信息

修订日志

- 1 -

- 1 -

- 1 -

- 3 -

- 4 -

- 8 -

- 11 -

- 17 -

- 18 -

- 33 -

- 34 -

- 35 -

功能框图

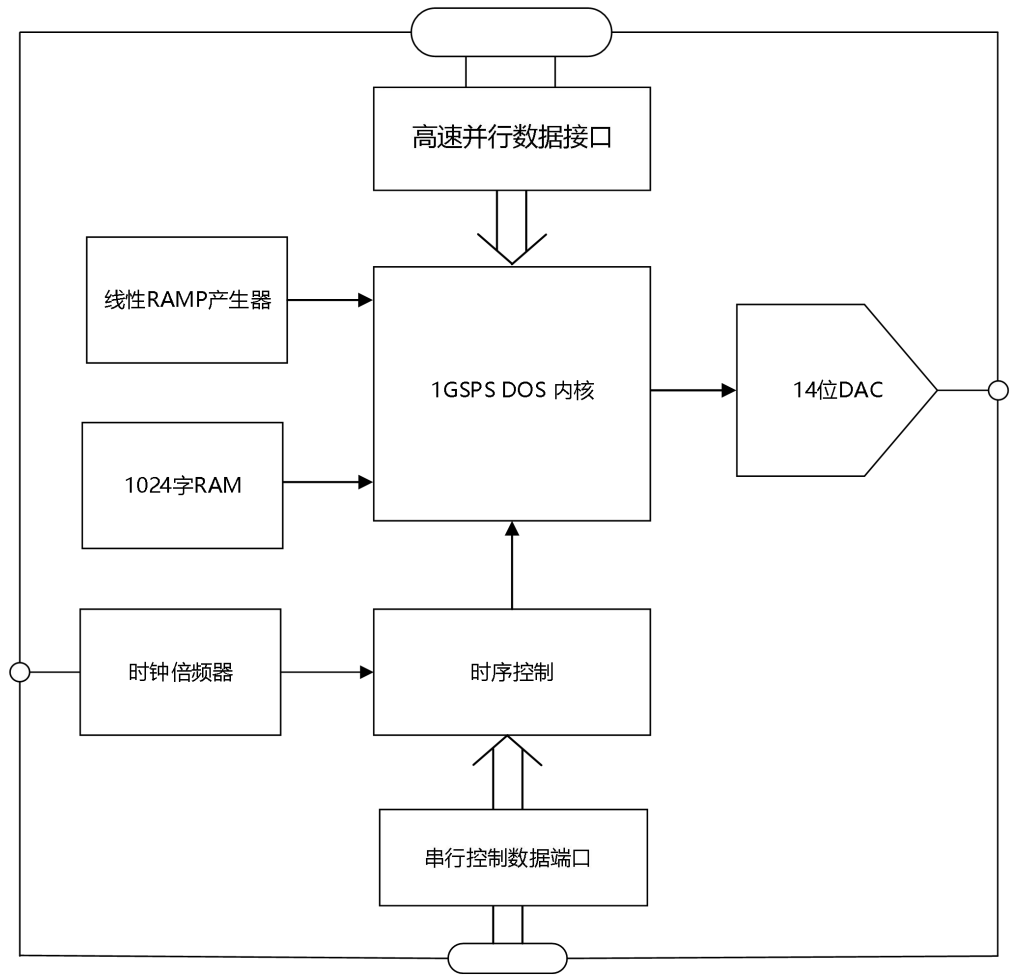


图 1. 功能框图

电气特性

电气规格：除非有特殊说明， $AV_{DD}(1.8V)$ 和 $DV_{DD}(1.8V)=1.8V\pm5\%$ ， $AV_{DD}(3.3V)=3.3V\pm5\%$ ， $DV_{DD_I/O}(3.3V)=3.3V\pm5\%$ ， $T_A=25^{\circ}C$ ， $R_{SET}=10k\Omega$ ， $I_{OUT}=20mA$ ，禁用参考时钟(REFCLK)乘法器，外部参考时钟频率=1000MHz。

REF_CLK 输入特性					
频率范围					
REFCLK 乘法器	禁用	60		1000	MHz
	使能	3.2		60	MHz
最大 REFCLK 输入分频器频率	全温度范围	1500	1900		MHz
最小 REFCLK 输入分频器频率	全温度范围		25	35	MHz
外部晶体			25		MHz
输入电容			3		pF
输入阻抗（差分）			2.8		kΩ
输入阻抗（单端）			1.4		kΩ
占空比	REFCLK 乘法器禁用	45		55	%
	REFCLK 乘法器使能	40		60	%
REF_CLK 输入电平	单端	50		1000	mV p-p
	差分	100		2000	mV p-p
REFCLK 乘法器 V _{CO} 增益特性					
V _{CO} 增益(KV)（中心频率）	V _{CO0} 范围设置		429		MHz/V
	V _{CO1} 范围设置		500		MHz/V
	V _{CO2} 范围设置		555		MHz/V
	V _{CO3} 范围设置		750		MHz/V
	V _{CO4} 范围设置		789		MHz/V
	V _{CO5} 范围设置		850		MHz/V
REFCLK_OUT 特性					
最大容性负载			20		pF
最大频率			25		MHz
DAC 输出特性					
满量程输出电流		8.6	20	31.6	mA
增益误差		-10		+10	%FS
输出偏移				2.3	uA

微分非线性			0.8		LSB
积分非线性			1.5		LSB
输出电容			5		pF
残余相位噪声	偏移为1kHz且A _{OUT} 为20MHz 时				
REFCLK 乘法器	禁用		-152		dBc/Hz
	使能, 20 倍		-140		dBc/Hz
	使能, 100 倍		-140		dBc/Hz
交流输出电压范围		-0.5		0.5	V
宽带SFDR (见典型性能部分)					
窄带SFDR					
F _{OUT} =50.1MHz	±500kHz		-87		dBc
	±125kHz		-87		dBc
	±12.5kHz		-96		dBc
F _{OUT} =101.3MHz	±500kHz		-87		dBc
	±125kHz		-87		dBc
	±12.5kHz		-95		dBc
F _{OUT} =201.1MHz	±500kHz		-87		dBc
	±125kHz		-87		dBc
	±12.5kHz		-91		dBc
F _{OUT} =301.1MHz	±500kHz		-86		dBc
	±125kHz		-86		dBc
	±12.5kHz		-88		dBc
F _{OUT} =401.3MHz	±500kHz		-84		dBc
	±125kHz		-84		dBc
	±12.5kHz		-85		dBc
串行端口时序特性					
最大 SCLK 频率			70		Mbps
最小 SCLK 脉冲宽度	低	4			ns
	高	4			ns
SCLK 最大上升/下降时间			2		ns
至 SCLK 最短数据建立时间		5			ns
至 SCLK 最短数据保持时间		0			ns
读取模式下最长数据有效时间				11	ns

I/O_UPDATE/PROFILE<2:0>/RT 时序特性					
Profile 最短切换时间	高	2			SYNC_CLK 周期
I/O_UPDATE 脉冲宽度		>1			SYNC_CLK 周 期
至 SYNC_CLK 最短建立时间		1.75			ns
至 SYNC_CLK 最短保持时间		0			ns
Tx_ENABLE 和 16 位并行(数据)总线时序特性					
PDCLK 最大频率			250		MHz
Tx_ENABLE/ 数据建立时间(至 PDCLK)		1.75			ns
Tx_ENABLE/ 数据保持时间(至 PDCLK)		0			ns
其它时序特性					
唤醒时间					
快速恢复模式			8		SYSCLK 周期
深度睡眠模式	REFCLK 乘法器使能		1		ms
	REFCLK 乘法器禁用			150	us
最短复位脉冲宽度（高电平）			5		SYSCLK 周期
数据延迟（流水线延迟）					
单频或 Profile 模式数据延迟					
频率、相位和幅度至 DAC 输出	匹配延迟使能		91		SYSCLK 周期
频率和相位至 DAC 输出	匹配延迟使能和 OSK 禁用		79		SYSCLK 周期
	匹配延迟禁用		79		SYSCLK 周期
振幅至 DAC 输出	匹配延迟禁用		47		SYSCLK 周期
RAM 模式数据延迟					
频率和相位至 DAC 输出	匹配延迟使能/禁用		94		SYSCLK 周期
振幅至 DAC 输出	匹配延迟使能		106		SYSCLK 周期
	匹配延迟禁用		58		SYSCLK 周期
扫描模式数据延迟					
频率和相位至 DAC 输出	匹配延迟使能/禁用		91		SYSCLK 周期
振幅至 DAC 输出	匹配延迟使能		91		SYSCLK 周期
	匹配延迟禁用		47		SYSCLK 周期
16 位输入调制模式数据延迟					
频率和相位至 DAC 输出	匹配延迟使能		103		SYSCLK 周期

	匹配延迟禁用		91		SYSCLK 周期
CMOS 逻辑输入					
Logic 1 电 压		2.0			V
Logic 0 电 压				0.8	V
Logic 1 电 流			90	150	uA
Logic 0 电 流			90	150	uA
输入电容			2		pF
XTAL_SEL 输入					
Logic 1 电 压		1.25			V
Logic 0 电 压				0.6	V
输入电容			2		pF
CMOS 逻辑输出	1mA 负载				
逻辑 1		2.8			V
逻辑 0				0.4	V
电源电流					
IAV _{DD} (1.8 V)			110		mA
IAV _{DD} (3.3 V)			29		mA
IDV _{DD} (1.8V)			222		mA
IDV _{DD} (3.3 V)			11		mA
总功耗					
单频调制模式			715	950	mW
快速省电调制			330	450	mW
深度睡眠模式			19	40	mW

引脚配置与功能描述

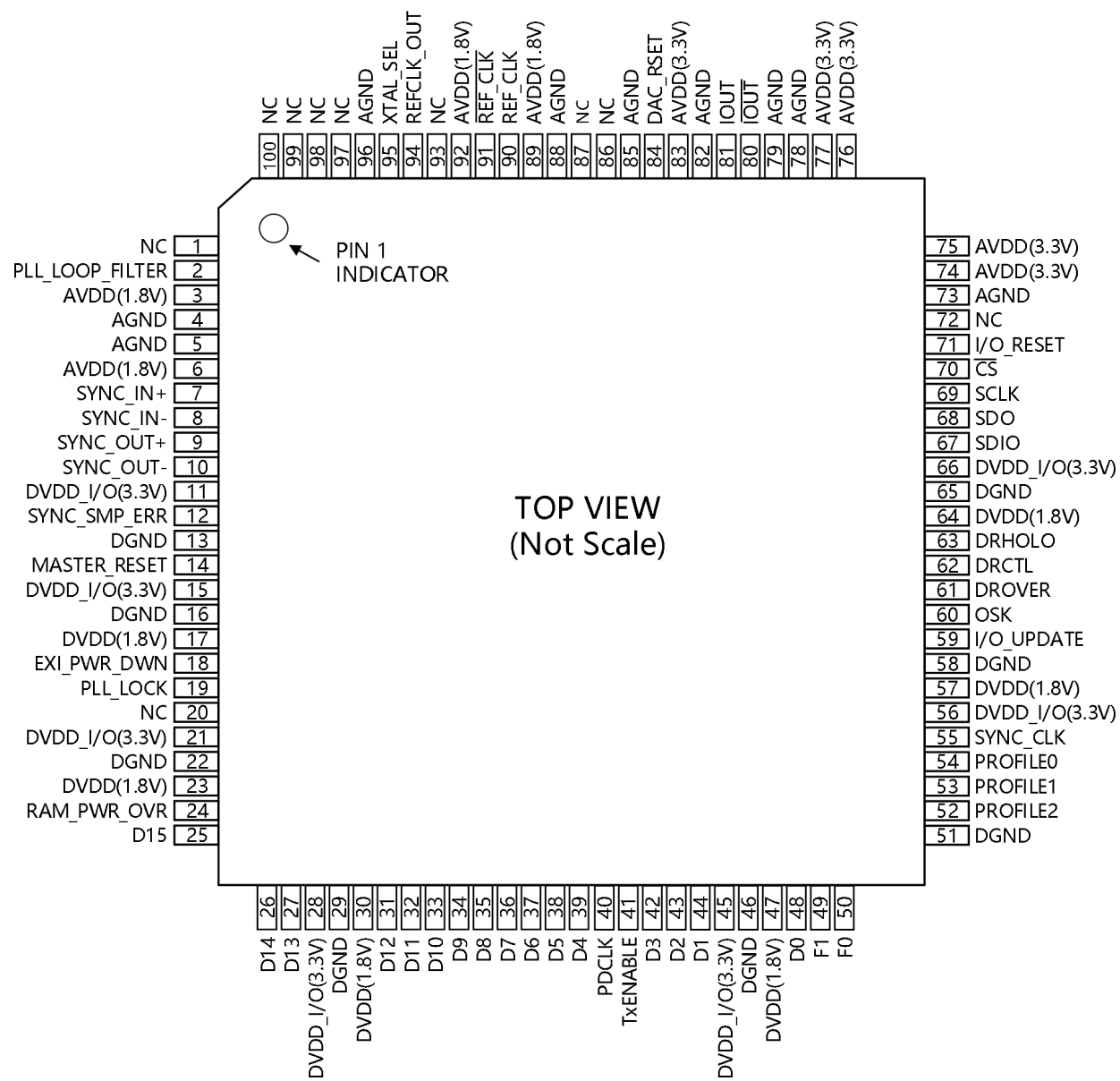


图 2 芯片管脚图

引脚功能描述

引脚编号	引脚名称	I/O	描述
1,20,72,86,87,93,97至100	NC		不连接。允许器件引脚悬空。
2	PLL_LOOP_FILTER	I	PLL 环路滤波器补偿。
3/6/89/92	AV _{DD} (1.8V)	I	模拟内核 V _{DD} 。1.8 V 模拟电源。
74 至 77/83	AV _{DD} (3.3V)	I	模拟 DAC V _{DD} 。3.3 V 模拟电源。
17/23/30/47/57/64	DV _{DD} (1.8V)	I	数字内核 V _{DD} 。1.8 V 数字电源。
11/15/21/28/45/56/66	DV _{DD} _I/O (3.3V)	I	数字输入/输出 V _{DD} 。3.3 V 数字电源。

4/5/73/78/79/82/85/88/96	AGND	I	模拟地。
13/16/22/29/46/51/58/65	DGND	I	数字地。
7	SYNC_IN+	I	同步信号，数字输入（上升沿有效）。外部主机的同步信号同步内部子时钟。）
8	SYNC_IN-	I	同步信号，数字输入（下降沿有效）。外部主机的同步信号同步内部子时钟。）
9	SYNC_OUT+	O	同步信号，数字输出（上升沿有效）。内部器件子时钟的同步信号同步外部从机。
10	SYNC_OUT-	O	同步信号，数字输出（下降沿有效）。内部器件子时钟的同步信号同步外部从机。
12	SYNC_SMP_ERR	O	同步采样误差，数字输出（高电平有效）。此引脚高电平表明芯片未收到有效 SYNC_IN+/SYNC_IN-同步信号。
14	MASTER_RESET	I	主机复位，数字输入（高电平有效）。此引脚将所有存储元件清 0，寄存器设置为默认值。
18	EXT_PWR_DWN	I	外部省电模式，数字输入（高电平有效）。此引脚高电平会启用当前编程的省电运行模式。如未使用，应接地。
19	PLL_LOCK	O	PLL 锁定，数字输出（高电平有效）。此引脚高电平表示时钟乘法器 PLL已锁定参考时钟输入。
24	RAM SWP OVR	O	RAM 扫描完成，数字输出(高电平有效)。此引脚高电平表示 RAM 扫描完成。
25 至 27、31 至 39、42 至 44、48	D<15:0>	I	并行输入总线(高电平有效)。
49,50	F[1 :0]	I	调制格式引脚。数字输入确定调制格式。
40	PDCLK	O	并行数据时钟，数字输出（时钟）。
41	T _x ENABLE	I	发送使能，数字输入（高电平有效）。
52 至 54	PROFILE<2:0>	I	Profile 选择引脚，数字输入（高电平有效）。这些引脚用于选择 DDS 内核的八个相位/频率特性之一（单音或载波音）。通过改变其中一个引脚的状态，可将所有当前 I/O 缓冲内容传输到相应寄存器。要改变状态，需要参考 SYNC_CLK 引脚上的信号来建立信号。
55	SYNC_CLK	O	输出系统时钟/4，数字输出（时钟）。I/O_UPDATE 和 PROFILE<2:0>引脚信号根据此信号来建立。
59	I/O_UPDATE	I/O	输入/输出更新；数字输入或输出（高电平有效），取决于内部 I/O 更新有效位。此引脚高电平表示 I/O 缓冲内容将传输到相应的内部寄存器。
60	OSK	I	输出移位键控，数字输入（高电平有效）。使用 OSK（手动或自动）时，此引脚控制 OSK 功能。未使用 OSK 时，此引脚连到高电平。
61	DROVER	O	数字斜坡结束。数字输出(高电平有效)。当数字斜坡发生器达到最大/最小编程值时，此引脚将切换到逻辑 1。
62	DRCTL	I	数字斜坡控制。数字输入(高电平有效)。此引脚控制数字斜坡发生器的斜率极性。如果未使用数字斜坡发生器，将此引脚与逻辑 0 连接。
63	DRHOLD	I	数字斜坡保持。数字输入(高电平有效)。此引脚使数字斜坡发生器保持当前状态。将此引脚与逻辑 0 连接。
67	SDIO	I/O	串行数据输入/输出，数字输入/输出（高电平有效）。根据配置情况，此引脚支持单向和双向（默认）两种模式。如果是双向串行端口模式，此引脚可用于串行数据输入和

			输出。如果是单向模式，仅支持数据输入。
68	SDO	O	串行数据输出，数字输出（高电平有效）。此引脚仅对单向串行数据模式有效，用于数据输出。双向模式中，此引脚无操作，应悬空。
69	SCLK	I	串行数据时钟。数字时钟（上升沿执行写操作，下降沿执行读操作）。此引脚提供控制数据路径的串行数据时钟。芯片写操作使用上升沿，回读操作使用下降沿。
70	CS	I	片选，数字输入（低电平有效）。引脚低电平可使芯片检测串行时钟上升/下降沿。引脚高电平可使芯片忽略串行数据引脚输入。
71	I/O_RESET	I	输入/输出复位，数字输入（高电平有效）。通信周期出现故障期间变为高电平时，此引脚并不会复位整个器件，而是复位串行端口控制器的状态机并清空自上次 I/O 更新以来写入的任何 I/O 缓冲器。未使用时，此引脚应接地，以免出现意外复位。
80	I _{OUT}	O	开源 DAC 互补输出电流源。模拟输出，电流模式。通过 50 Ω 电阻连接到 AGND。
81	I _{OUT}	O	开源 DAC 输出电流源。模拟输出，电流模式。通过 50 Ω 电阻连接到 AGND。
84	DAC_RSET	O	模拟基准引脚。此引脚对 DAC 输出满量程基准电流编程。通过一个 10kΩ 电阻连接到 AGND。
90	REF_CLK	I	参考时钟输入。模拟输入。
91	REF_CLK	I	互补参考时钟输入。模拟输入。
94	REFCLK_OUT	O	参考时钟输出。模拟输出。
95	XTAL_SEL	I	晶体选择。
96	EPAD		EPAD 应焊接接地。

1. I = 输入，O = 输出。

典型性能

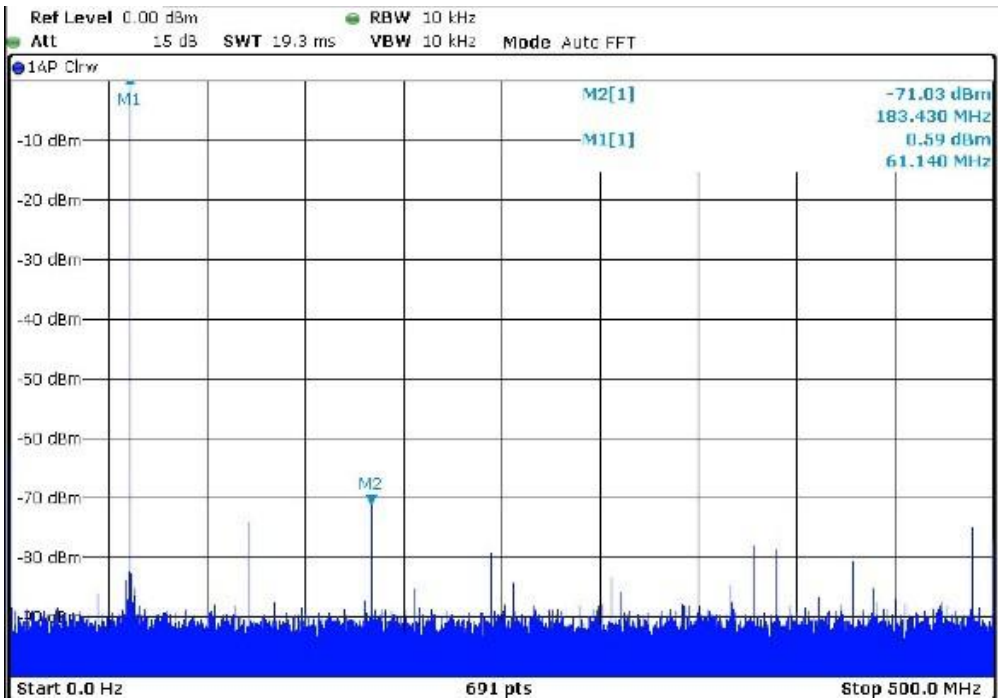


图 3 61.1MHz 条件下的宽带 SFDR, REFCLK=1GHz

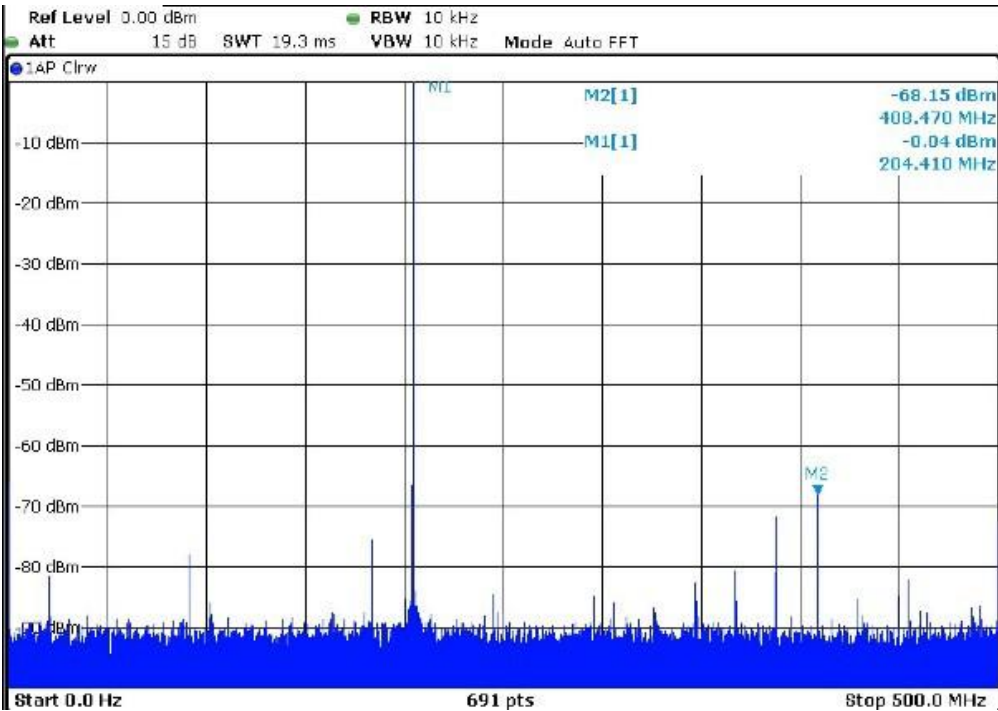


图 4 204.1MHz 条件下的宽带 SFDR, REFCLK=1GHz

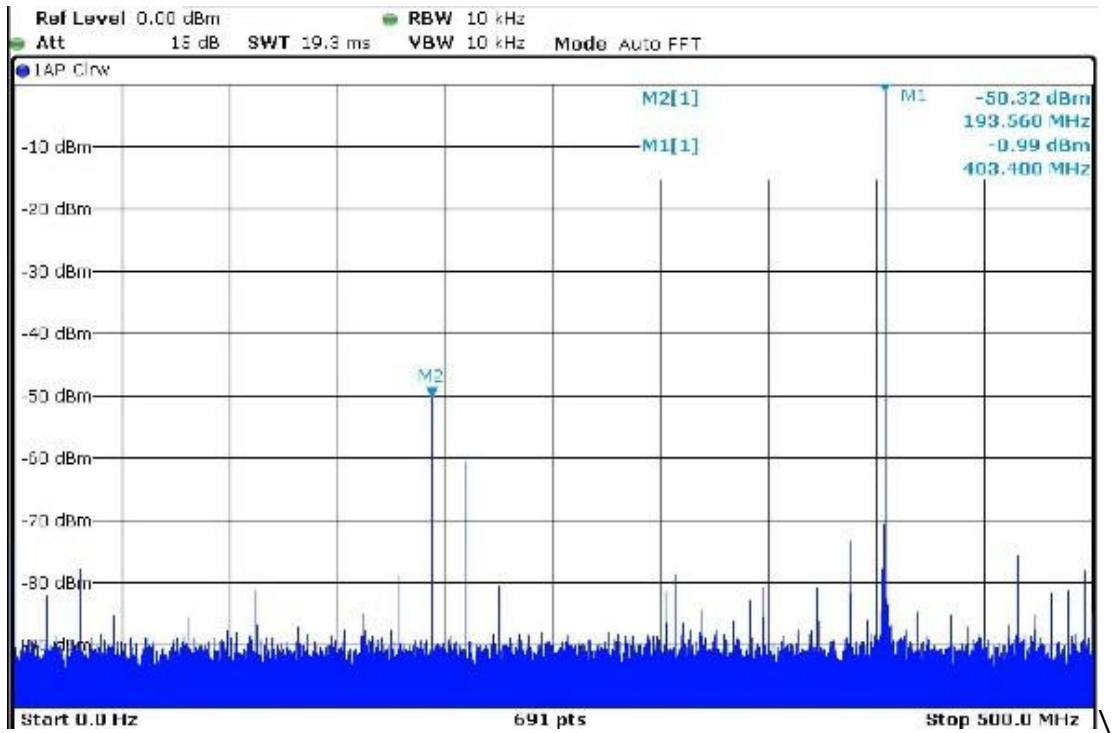


图 5 403.1MHz 条件下的宽带 SFDR, REFCLK=1GHz_Z

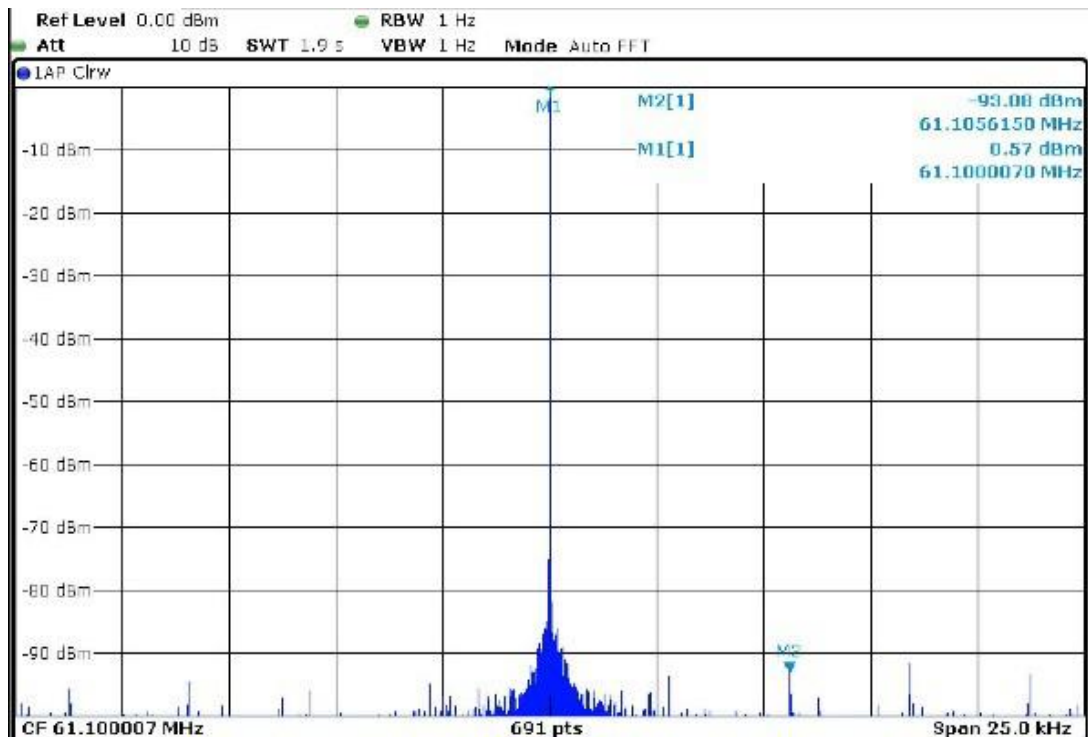


图 6 图 3 的窄带视图 (带有载波和下边带抑制)

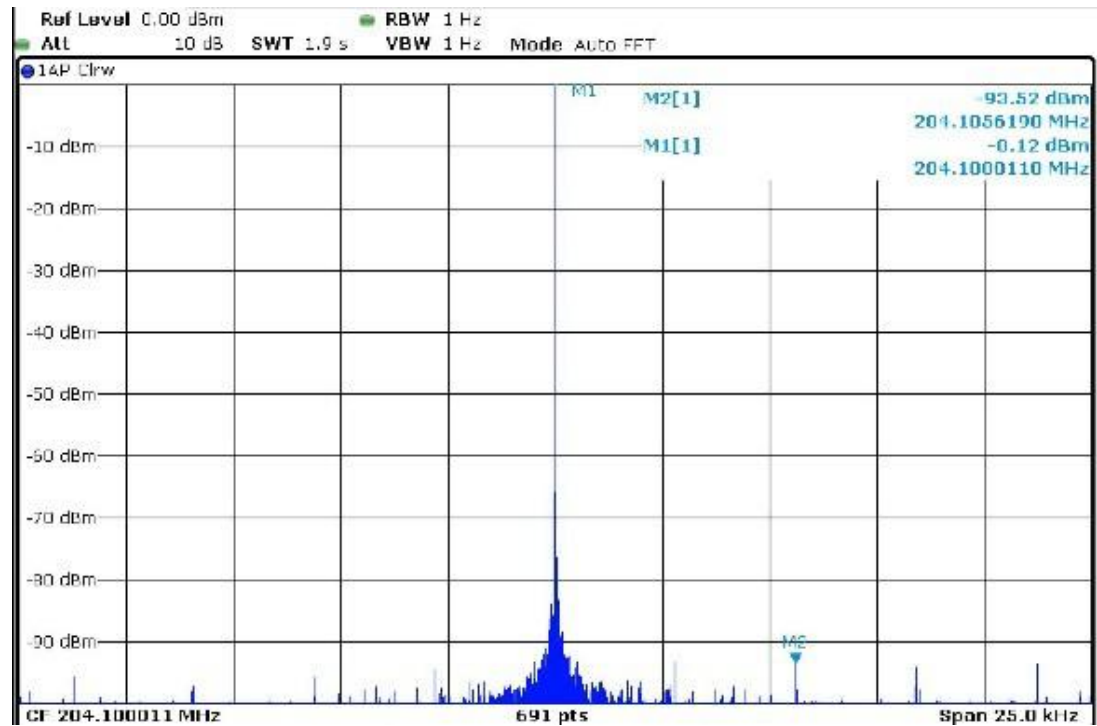


图 7 图 4 的窄带视图（带有载波和下边带抑制）

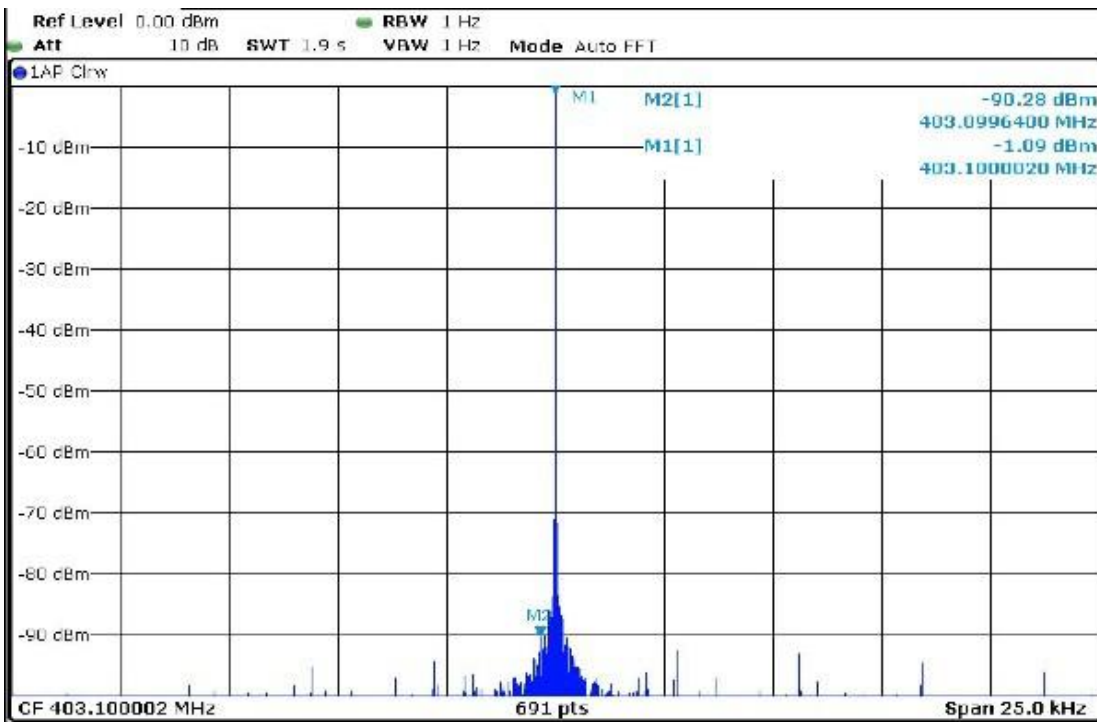


图 8 图 5 的窄带视图（带有载波和下边带抑制）

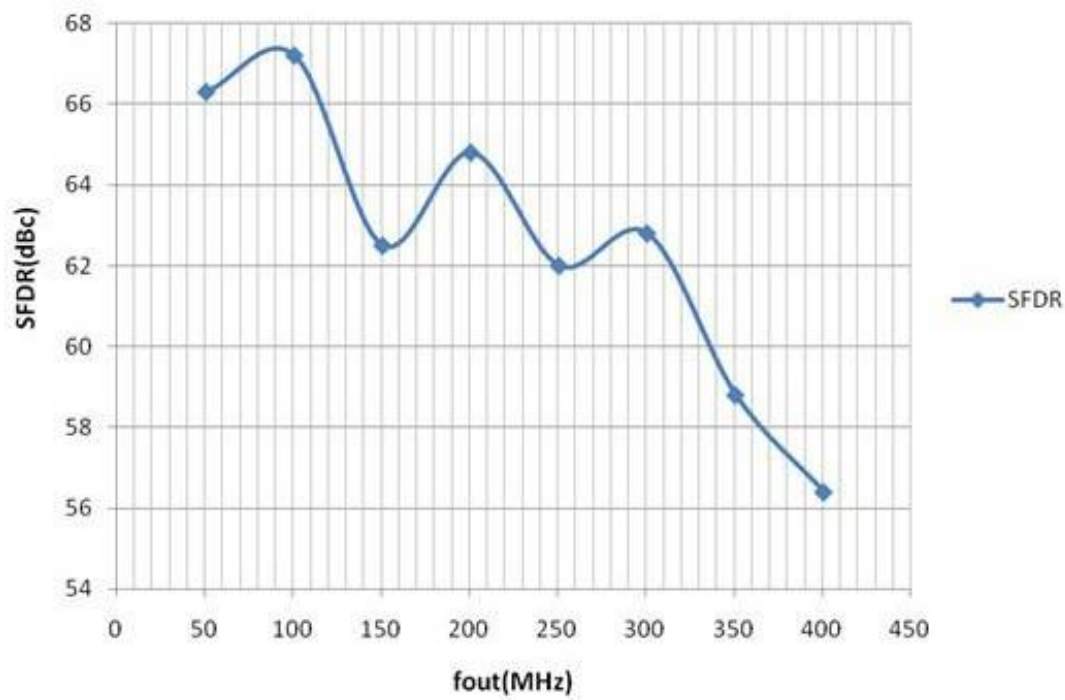


图 9 宽带 SFDR 与输出频率的关系

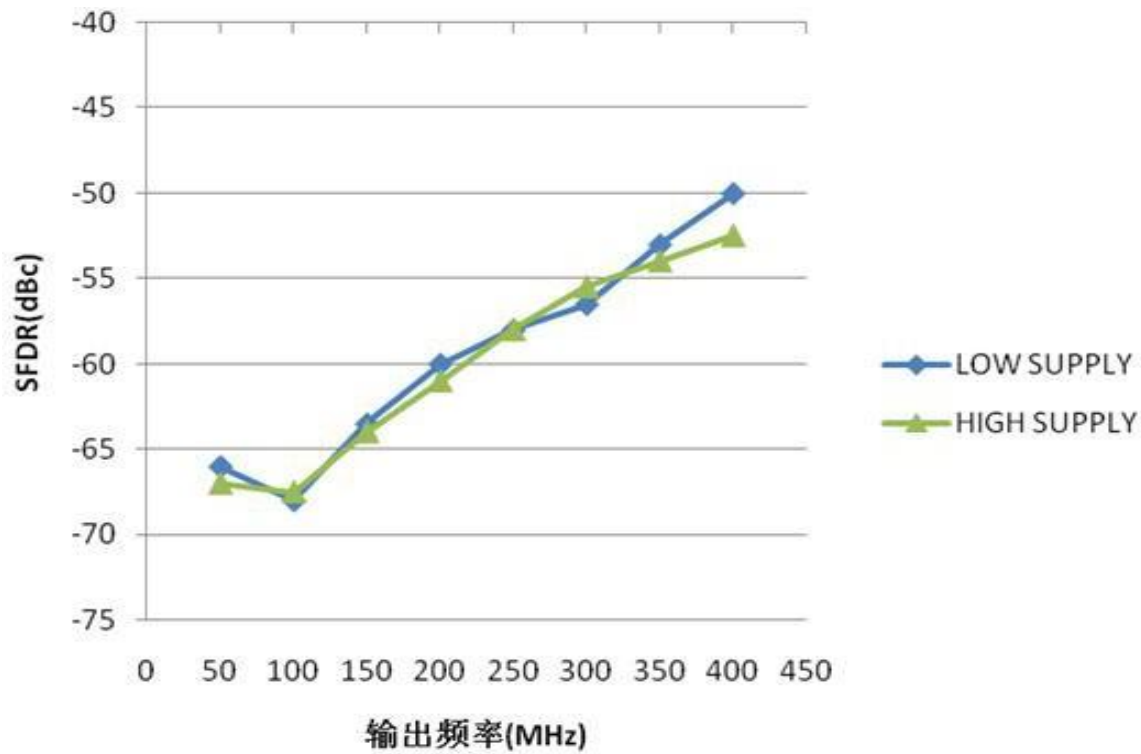


图 10 REFCLK = 1 GHz 时，宽带 SFDR 输出频率和电源(±5%)的关系

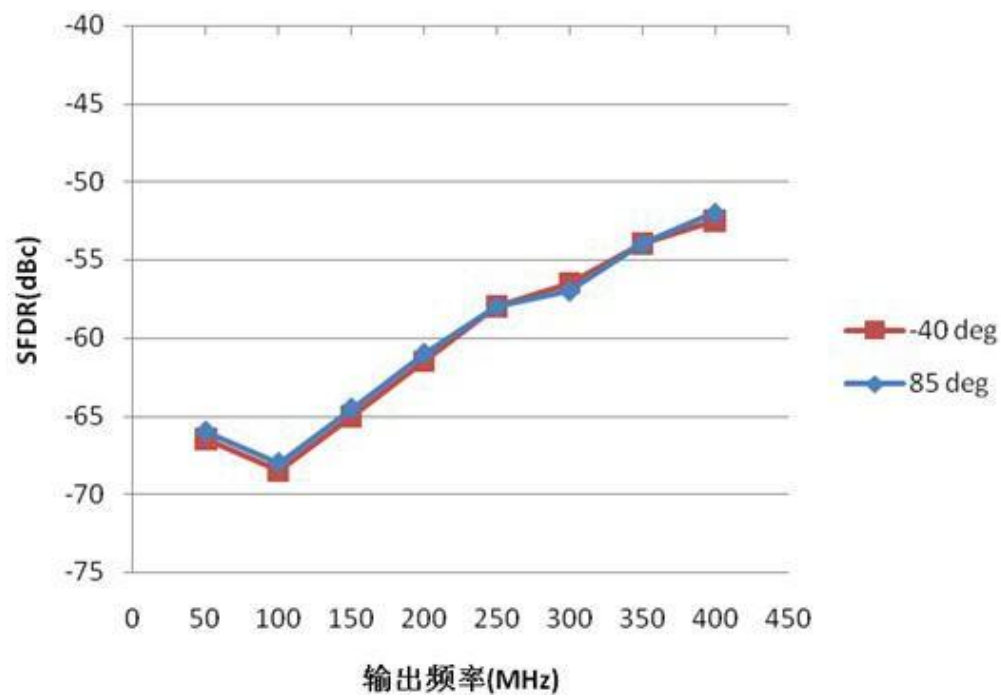


图 11 REFCLK = 1 GHz 时，宽带 SFDR 与频率和温度的关系

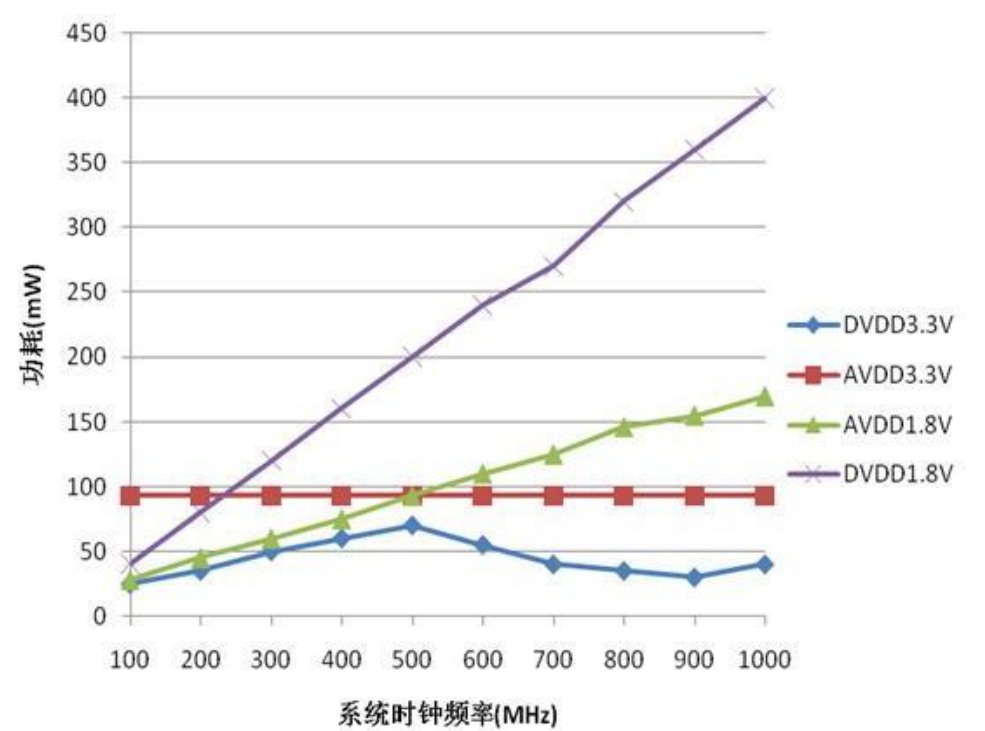


图 12 功耗与系统时钟的关系 (PLL 禁用)

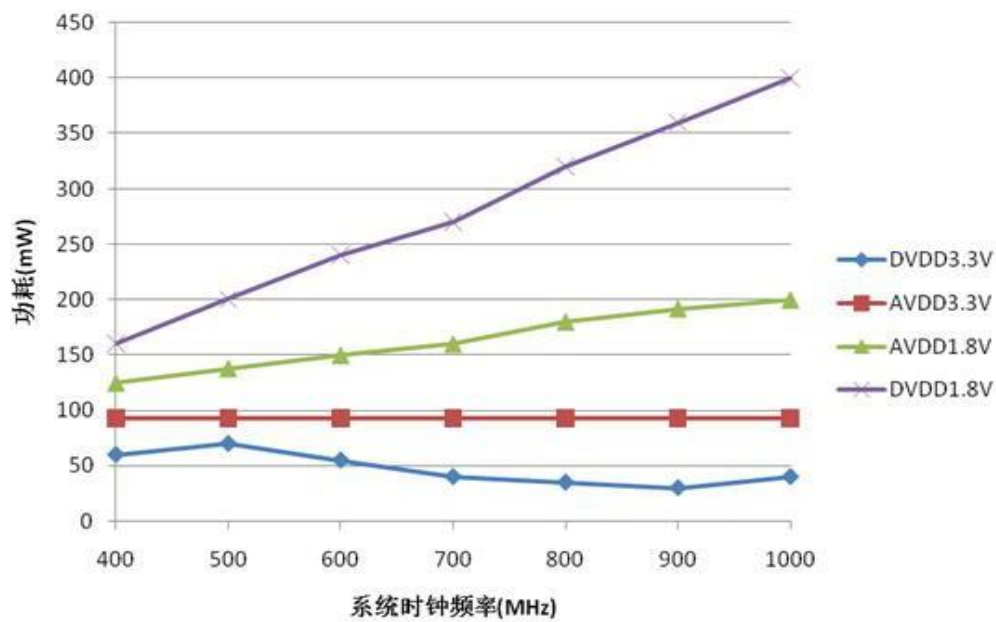


图 13 功耗与系统时钟的关系（PLL 使能）

表 1 系统时钟=1GHz 的残余相噪（单位：dBc/Hz）

频偏 (Hz)							
FOUT (Hz)	@10	@100	@1k	@10k	@100k	@1M	@10M
20.1M	-135	-145	-155	-161	-167	-167	-167
98.6M	-120	-131	-140	-150	-160	-161	-161
201.1M	-115	-125	-135	-145	-155	-158	-158
397.8M	-108	-117	-125	-135	-142	-150	-150

表 2 用 EFCLK 乘法器、REFCLK = 50 MHz × 20 且系统时钟 = 1GHz 时的残余相噪

频偏 (Hz)							
FOUT (Hz)	@10	@100	@1k	@10k	@100k	@1M	@10M
20.1M	-120	-131	-140	-150	-152	-145	-152
98.6M	-109	-118	-126	-136	-139	-131	-148
201.1M	-100	-110	-119	-130	-132	-125	-140
397.8M	-91	-101	-110	-120	-123	-115	-131

串口 I/O 时序图

下面几张图给出了一些基本示例，描述串行 I/O 端口各种控制信号之间的时序关系。

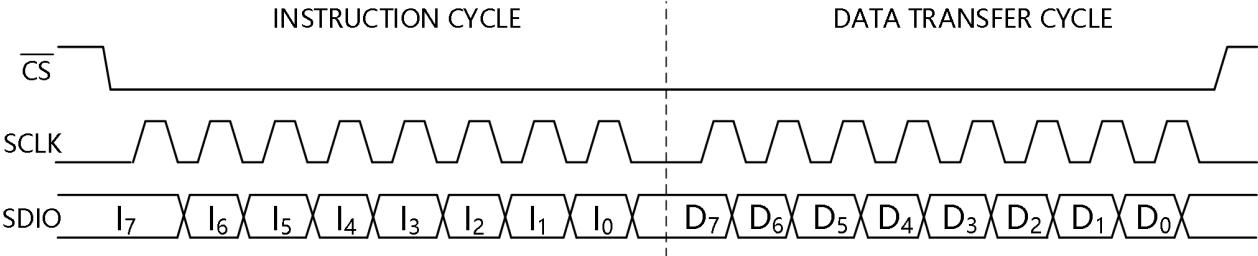


图 14 串行端口写入时序—时钟空闲为低

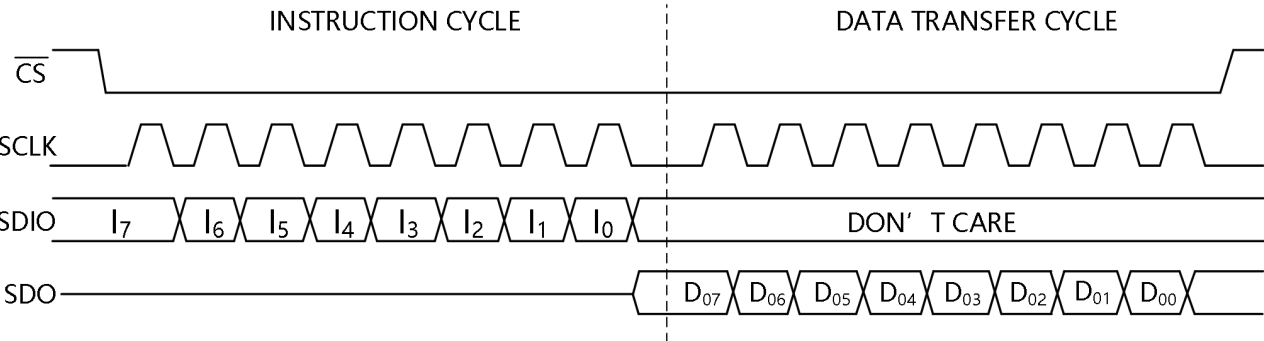


图 15 三线式串行端口读取时序—时钟空闲为低

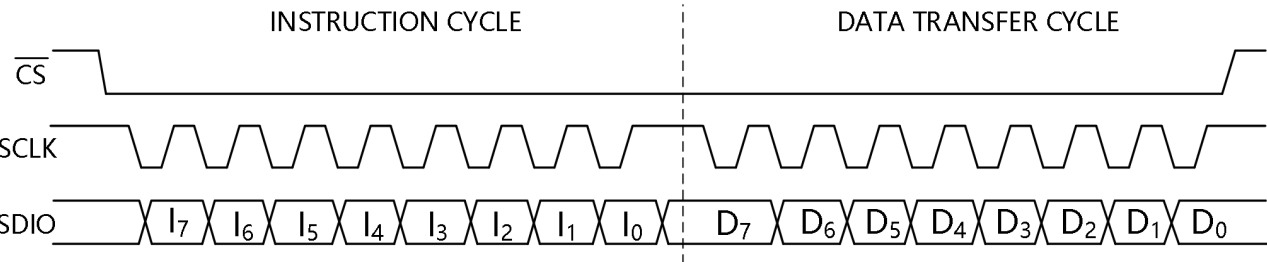


图 16 串行端口写入时序—时钟空闲为高

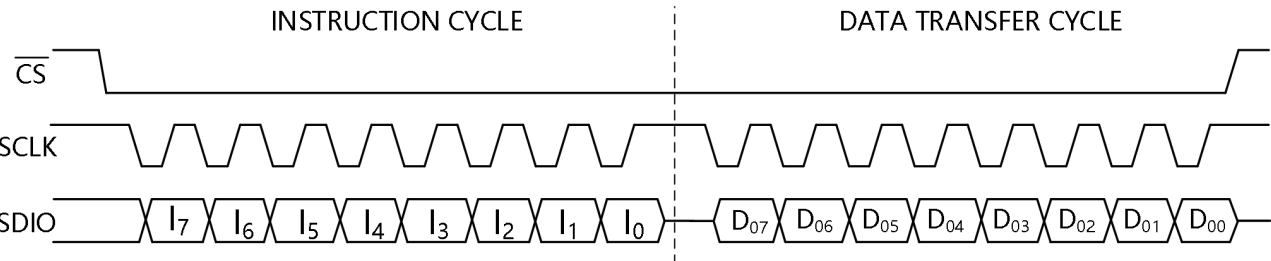


图 17 双线式串行端口读取时序—时钟空闲为高

寄存器映射与位功能描述

寄存器映射

请注意，每个寄存器位域列中的最大数是 MSB，最小数是该寄存器的 LSB，如下表所示。

寄存器名称和地址	位地址	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	缺省值
CFR1-控制功能寄存器 1(0x00)	31:24	RAM 使能	RAM 重放用途		开路					0x00
	23:16	手动 OSK 外部控制	反 Sinc 滤波器使能	开路	内部 profile 控制				选择 DDS 正弦波输出	0x00
	15:8	加载 LRR@I/O 更新	自动清零数字斜坡累加器	自动清零相位累加器	清零数字斜坡累加器	清零相位累加器	加载 ARR@I/O 更新	OSK 使能	选择自动 OSK	0x00
	7:0	数字部分关断	DAC 掉电	REFCLK 输入掉电	辅助 DAC 掉电	外部掉电控制	开路	仅为 SDIO 输入	LSB 优先	0x00
CFR2-控制功能寄存器 2(0x01)	31:24	开路							使能单音 profiles 调制幅度	0x00
	23:16	内部 I/O 更新有效	SYNC_CLK 使能	数字斜坡用途		数字斜坡使能	数字斜坡非驻留高位	数字斜坡非驻留低位	读取有效 FTW	0x40
	15:08	I/O 更新速率控制		开路		PDCLK 使能	PDCLK 反向	TXEnable 反向	开路	0x08
	7:0	延迟匹配使能	数据汇编器保留最后值	同步时序验证禁用	并行数据端口使能	F _M 增益				0x20
CFR3-控制功能寄存器 3(0x01)	31:24	开路		DRV0[1:0]		开路	V _{CO} SEL<2:0>			0x1F
	23:16	开路		ICP[2:0]			开路			0x3F
	15:8	REFCLK 分频器旁路	REFCLK 输入分频器重置 B	开路			PFD 复位	开路	PLL 使能	0x40
	7:0	N[6:0]							开路	0x00
辅助 DAC 控制(0x03)	31:24	开路								0x00
	23:16	开路								0x00
	15:8	开路								0x00

	7:0	FSC[7:0]					0x7F
I/O 更新速率	31:24	I/O 更新速率[31:24]					0xFF
(0x04)	23:16	I/O 更新速率[23:16]					0xFF
	15:8	I/O 更新速率[15:8]					0xFF
	7:0	I/O 更新速率[7:0]					0xFF
FTW- 频率调谐字	31:24	频率调谐字[31:24]					0x00
(0x07)	23:16	频率调谐字[23:16]					0x00
	15:8	频率调谐字[15:8]					0x00
	7:0	频率调谐字[7:0]					0x00
POW- 相位偏移字(0x08)	15:8	相位偏移字[15:8]					0x00
	7:0	相位偏移字[7:0]					0x00
ASF- 振幅比例因子(0x09)	31:24	幅度斜坡率<15:8>					0x00
	23:16	幅度斜坡率<7:0>					0x00
	15:8	幅度比例因子<13:6>					0x00
	7:0	幅度比例因子<5:0>			幅度步长<1:0>		0x00
多芯片同步寄存器	31:24	同步验证延迟<3:0>	同步接收器使能	同步发生器使能	同步发生器极性	开路	0x00
(0x0A)	23:16	同步状态预设值<5:0>			开路		0x00
	15:08	同步发生器输出延迟[4:0]		开路			0x00
	7:0	同步发生器输入延迟[4:0]		开路			0x00
数字斜坡值(0x0B)	63:56	数字斜坡上限值[31:24]					N/A
	55:48	数字斜坡上限值[23:16]					N/A
	47:40	数字斜坡上限值[15:8]					N/A
	39:32	数字斜坡上限值[7:0]					N/A
	31:24	数字斜坡下限值[31:24]					N/A
	23:16	数字斜坡下限值[23:16]					N/A
	15:08	数字斜坡下限值[15:8]					N/A
	7:0	数字斜坡下限值[7:0]					N/A
数字斜坡步长	63:56	数字斜坡递减步长[31:24]					N/A
(0x0C)	55:48	数字斜坡递减步长[23:16]					N/A
	47:40	数字斜坡递减步长[15:8]					N/A
	39:32	数字斜坡递减步长[7:0]					N/A
	31:24	数字斜坡递增步长[31:24]					N/A
	23:16	数字斜坡递增步长[23:16]					N/A
	15:08	数字斜坡递增步长[15:8]					N/A
	7:0	数字斜坡递增步长[7:0]					N/A

数 字 斜 坡 速 率	31:24	数字斜坡负斜率[15:8]					N/A
(0x0D)	23:16	数字斜坡负斜率[7:0]					N/A
	15:8	数字斜坡正斜率[15:8]					N/A
	7:0	数字斜坡正斜率[7:0]					N/A
单频调制 Profile 0(0x0E)	63:56	开路		振幅比例因子 0[13:8]			0x08
	55:48	振幅比例因子 0[7:0]					0xB5
	47:40	相位偏移字 0[15:8]					0x00
	39:32	相位偏移字 0[7:0]					0x00
	31:24	频率调谐字 0[31:24]					0x00
	23:16	频率调谐字 0[23:16]					0x00
	15:8	频率调谐字 0[15:8]					0x00
	7:0	频率调谐字 0[7:0]					0x00
RAM Profile 0 (0x0E)	63:56	开路					0x00
	55:48	RAM Profile 0 地址步进率[15:8]					0x00
	47:40	RAM Profile 0 地址步进率[7:0]					0x00
	39:32	RAM Profile 0 波形结束地址[9:2]					0x00
	31:24	RAM Profile 0 波形结 束地址[1:0]	开路				0x00
	23:16	RAM Profile 0 波形起始地址[9:2]					0x00
	15:8	RAM Profile 0 波形起 始地址[1:0]	开路				0x00
	7:0	开路	非驻留高位	开路	零交越	RAM Profile 0 模式 控制 [2:0]	0x00
单频调制 Profile1(0x0F)	63:56	开路		振幅比例因子 1[13:8]			0x00
	55:48	振幅比例因子 1[7:0]					0x00
	47:40	相位偏移字 1[15:8]					0x00
	39:32	相位偏移字 1[7:0]					0x00
	31:24	频率调谐字 1[31:24]					0x00
	23:16	频率调谐字 1[23:16]					0x00
	15:8	频率调谐字 1[15:8]					0x00
	7:0	频率调谐字 1[7:0]					0x00
RAM Profile1(0x0F)	63:56	开路					0x00
	55:48	RAM Profile1 地址步进率[15:8]					0x00
	47:40	RAM Profile1 地址步进率[7:0]					0x00
	39:32	RAM Profile1 波形结束地址[9:2]					0x00

	31:24	RAM Profile1 波形结束地址 [1:0]	开路				0x00
	23:16	RAM Profile1 波形起始地址[9:2]					0x00
	15:8	RAM Profile1 波形起始地址 [1:0]	开路				0x00
	7:0	开路	非驻留高位	开路	零交越	RAM Profile1 模式控制[2:0]	0x00
单频调制	63:56	开路	振幅比例因子 2[13:8]				0x00
Profile2(0x10)	55:48	振幅比例因子 2[7:0]					0x00
	47:40	相位偏移字 2[15:8]					0x00
	39:32	相位偏移字 2[7:0]					0x00
	31:24	频率调谐字 2[31:24]					0x00
	23:16	频率调谐字 2[23:16]					0x00
	15:8	频率调谐字 2[15:8]					0x00
	7:0	频率调谐字 2[7:0]					0x00
RAM	63:56	开路					0x00
Profile2(0x10)	55:48	RAM Profile2 地址步进率[15:8]					0x00
	47:40	RAM Profile2 地址步进率[7:0]					0x00
	39:32	RAM Profile2 波形结束地址[9:2]					0x00
	31:24	RAM Profile2 波形结束地址 [1:0]	开路				0x00
	23:16	RAM Profile2 波形起始地址[9:2]					0x00
	15:8	RAM Profile2 波形起始地址 [1:0]	开路				0x00
	7:0	开路	非驻留高位	开路	零交越	RAM Profile2 模式控制[2:0]	0x00
单频调制	63:56	开路	振幅比例因子 3[13:8]				0x00
Profile3(0x11)	55:48	振幅比例因子 3[7:0]					0x00
	47:40	相位偏移字 3[15:8]					0x00
	39:32	相位偏移字 3[7:0]					0x00
	31:24	频率调谐字 3[31:24]					0x00
	23:16	频率调谐字 3[23:16]					0x00
	15:8	频率调谐字 3[15:8]					0x00
	7:0	频率调谐字 3[7:0]					0x00
RAM	63:56	开路					0x00
Profile3(0x11)	55:48	RAM Profile3 地址步进率[15:8]					0x00
	47:40	RAM Profile3 地址步进率[7:0]					0x00

	39:32	RAM Profile3 波形结束地址[9:2]					0x00	
	31:24	RAM Profile3 波形结束地址 [1:0]	开路					0x00
	23:16	RAM Profile3 波形起始地址[9:2]						0x00
	15:8	RAM Profile3 波形起始地址 [1:0]	开路					0x00
	7:0	开路	非驻留高位	开路	零交越	RAM Profile3 模式控制[2:0]		0x00
单频调制	63:56	开路	振幅比例因子 4[13:8]					0x00
Profile4(0x12)	55:48	振幅比例因子 4[7:0]						0x00
	47:40	相位偏移字 4[15:8]						0x00
	39:32	相位偏移字 4[7:0]						0x00
	31:24	频率调谐字 4[31:24]						0x00
	23:16	频率调谐字 4[23:16]						0x00
	15:8	频率调谐字 4[15:8]						0x00
	7:0	频率调谐字 4[7:0]						0x00
RAM	63:56	开路						0x00
Profile4(0x12)	55:48	RAM Profile4 地址步进率[15:8]						0x00
	47:40	RAM Profile4 地址步进率[7:0]						0x00
	39:32	RAM Profile4 波形结束地址[9:2]						0x00
	31:24	RAM Profile4 波形结束地址 [1:0]	开路					0x00
	23:16	RAM Profile4 波形起始地址[9:2]						0x00
	15:8	RAM Profile4 波形起始地址 [1:0]	开路					0x00
	7:0	开路	非驻留高位	开路	零交越	RAM Profile 4 模式控制 [2:0]		0x00
单频调制	63:56	开路	振幅比例因子 5[13:8]					0x00
Profile5(0x13)	55:48	振幅比例因子 5[7:0]						0x00
	47:40	相位偏移字 5[15:8]						0x00
	39:32	相位偏移字 5[7:0]						0x00
	31:24	频率调谐字 5[31:24]						0x00
	23:16	频率调谐字 5[23:16]						0x00
	15:8	频率调谐字 5[15:8]						0x00
	7:0	频率调谐字 5[7:0]						0x00
RAM	63:56	开路						0x00

Profile5(0x13)	55:48	RAM Profile5 地址步进率[15:8]						0x00
	47:40	RAM Profile5 地址步进率[7:0]						0x00
	39:32	RAM Profile5 波形结束地址[9:2]						0x00
	31:24	RAM Profile5 波形结束地址 [1:0]		开路				0x00
	23:16	RAM Profile5 波形起始地址[9:2]						0x00
	15:8	RAM Profile5 波形起始地址 [1:0]		开路				0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 5 模式控制 [2:0]	0x00
单频调制	63:56	开路	振幅比例因子 6[13:8]					0x00
Profile6(0x14)	55:48	振幅比例因子 6[7:0]						0x00
	47:40	相位偏移字 6[15:8]						0x00
	39:32	相位偏移字 6[7:0]						0x00
	31:24	频率调谐字 6[31:24]						0x00
	23:16	频率调谐字 6[23:16]						0x00
	15:8	频率调谐字 6[15:8]						0x00
	7:0	频率调谐字 6[7:0]						0x00
RAM	63:56	开路						0x00
Profile6(0x14)	55:48	RAM Profile6 地址步进率[15:8]						0x00
	47:40	RAM Profile6 地址步进率[7:0]						0x00
	39:32	RAM Profile6 波形结束地址[9:2]						0x00
	31:24	RAM Profile6 波形结束地址 [1:0]		开路				0x00
	23:16	RAM Profile6 波形起始地址[9:2]						0x00
	15:8	RAM Profile6 波形起始地址 [1:0]		开路				0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 6 模式控制 [2:0]	0x00
单频调制	63:56	开路		振幅比例因子 7[13:8]				0x00
Profile7(0x15)	55:48	振幅比例因子 7[7:0]						0x00
	47:40	相位偏移字 7[15:8]						0x00
	39:32	相位偏移字 7[7:0]						0x00

	31:24	频率调谐字 7[31:24]				0x00	
	23:16	频率调谐字 7[23:16]				0x00	
	15:8	频率调谐字 7[15:8]				0x00	
	7:0	频率调谐字 7[7:0]				0x00	
RAM	63:56	开路				0x00	
Profile7(0x15)	55:48	RAM Profile7 地址步进率[15:8]				0x00	
	47:40	RAM Profile7 地址步进率[7:0]				0x00	
	39:32	RAM Profile7 波形结束地址[9:2]				0x00	
	31:24	RAM Profile7 波形结束地址 [1:0]	开路			0x00	
	23:16	RAM Profile7 波形起始地址[9:2]				0x00	
	15:8	RAM Profile7 波形起始地址 [1:0]	开路			0x00	
	7:0	开路	非驻留高位	开路	零交越	RAM Profile7 模式控制[2:0]	0x00
RAM(0x16)	31:00:00	RAM 控制字[31:0]				0x00	

寄存器位功能描述

串行 I/O 端口寄存器地址范围从 0 至 23(十六进制:0x00 至 0x16), 共有 24 个寄存器。其中寄存器 5 和寄存器 6(0x05 和 0x06)有两个寄存器未使用。除另有说明, 在 I/O_UPDATE 引脚置位或者 profile 更改之前, 已编程位不会传输到内部目的位置。

控制功能寄存器 1(CFR1)一地址 0x00 此寄存器分配了四个字节。

位	引脚名称	描述
31	RAM 使 能	0 = RAM 功能禁用(缺省)。 1 = RAM 功能使能(加载/读取和回放操作均需要)。
30:29	RAM 回放目的地址	详情参见表 4, 缺省值为 00b。
28:24	开路	
23	手动 OSK 外部控制	仅在 CFR1 [9:8] = 10b 时有效。 0 = OSK 引脚无效(缺省)。 1 = OSK 引脚使能手动 OSK 控制。
22	反 Sinc 滤波器使能	
21	开路	0=反 Sinc 滤波器被旁通(缺省)。 1=反 Sinc 滤波器有效。
20:17	内部 profile 控制	仅在 CFR1[31]= 1 时有效。这些位无需进行 I/O 更新即能生效。 详情请参见表 6, 缺省值为 0000b。
16	选择 DDS 正弦波输出	0=选择 DDS 余弦输出(缺省)。

		1=选择 DDS 正弦输出。
15	加载 LRR@I/O 更新	仅在 CFR2[19]= 1 时有效。 0=数字斜坡定时器正常操作(缺省)。 1=I/OJJ P DATE 置位或者 PROFILE[2:0]更改后,数字斜坡定时器随时可加载。
14	自动清零数字斜坡累加器	0=DRG 累加器正常工作(缺省)。 1=经过一个 DDS 时钟周期后,斜坡累加器复位,随后累加器自动恢复正常操作。 只要此位保持设置,每次 I/O_UPDATE 置位或者 PROFILE[2:0]更改后,斜坡累加器都会暂时复位。此位与 I/O_UPDATE 置位或PROFILE[2:0]更改在 SYNC_CLK 下一个上升沿同步。
13	自动清零相位累加器	0 = DDS 相位累加器正常工作(缺省)。1=在 I/O_UPDATE 置位或者 profile 更改后,同步复位 DDS 相位累加器。
12	清零数字斜坡累加器	0=DRG 累加器正常工作(缺省)。1 = DRG 累加器异步,静态复位。只要此位置 1,斜坡累加器将始终保持复位状态.此位与 I/O_UPDATE 或 PROFILE[2:0]更改在 SYNC_CLK 下一个上升沿同步。
11	清零相位累加器	0 = DDS 相位累加器正常工作(缺省)。 1=DRG 相位累加器异步,静态复位。
10	加载 ARR@I/O 更新	仅在 CFR1[9:8]= 11b 时有效。 0=OSK 振幅斜坡率定时器正常操作(缺省)。 1 = I/O_UPDATE 置位或者 PROFILE[2:0]更改后, OSK 振幅斜坡率定时器随时可以重新加载。
9	OSK使能	输出振幅键控使能位。 0=OSK 禁用(缺省)。 1=OSK 使能。
8	选择自动 OSK	仅在 CFR1 [9] = 1 时有效。 0=手动 OSK 使能(缺省)。 1=自动 OSK 使能。
7	数字部分关电	此位无需 I/O 更新即可生效。 0=数字内核时钟信号有效(缺省)。 1=数字内核时钟信号禁用。
6	DAC关电	0 = DAC 时钟信号和偏置电路有效(缺省)。 1 = DAC 时钟信号和偏置电路禁用。
5	REFCLK 输入关电	此位无需 I/O 更新即可生效。 0 = REFCLK 输入电路和 PLL 有效(缺省)。 1 = REFCLK 输入电路和 PLL 禁用。

4	辅助DAC关电	0=辅助 DAC 时钟信号和偏置电路有效(缺省)。 1=辅助 DAC 时钟信号和偏置电路禁用。
3	外部关电控制	0 = EXT PWR_ DWN 引脚置位实现全面关电(缺省)。 1 = EXT PWR_ DWN 引脚置位采用快速恢复关电模式运行。
2	开路	
1	仅为SDIO输入	0=配置 SDIO 引脚进行双向操作;2 线式串行编程模式(缺省)。 1=将串行数据 I/O 引脚(SDIO)仅配置为输入引脚, 3 线式串行编程模式。
0	LSB优先	0=配置串行 I/O 端口为 MSB 优先格式(缺省)。 1=配置串行 I/O 端口为 LSB 优先格式

控制功能寄存器 2 (CFR2)—地址 0x01 (此寄存器分配了四个字节。)

位	引脚名称	描述
31:25	开路	
24	单频调制profile振幅范围使能	CFR2[19]=1, CFR1[31]=1 或 CFR1 [9]=1 时, 无效。 0=节能模式下, 振幅比例控制器被旁通, 关闭(缺省)。 1=振幅比例由有效 profile 中的 ASF 控制。
23	内部 I/O 更新有效	此位无需 I/O 更新即可生效。 0=串行 I/O 编程与外部 I/O_UPDATE 引脚置位同步, 该引脚被配置为输入引脚(缺省)。 1=串行 I/O 编程与内部产生的 I/O 更新信号同步 (内部信号在配置为输出引脚的 I/O_UPDATE 引脚上产生)。
22	SYNC_CLK 使能	0=SYNC_CLK 引脚禁用;静态逻辑 0 输出。 1=SYNC_CLK 引脚产生 1/4fsysclk 时钟信号, 用于同步串行I/O端口(缺省)。
21:20	数字斜坡目的地址	详情请参见表 3。缺省值为 00b。
19	数字斜坡使能	0=数字斜坡发生器功能禁用(缺省)。 1=数字斜坡发生器功能使能。
18	数字斜坡非驻留高位	0=驻留高位功能禁用(缺省)。 1=非驻留高位功能使能。
17	数字斜坡非驻留低位	0=驻留低位功能禁用(缺省)。 1=非驻留低位功能使能。
16	读取有效的 FTW	0 = FTW 寄存器的串行 I/O 端口读操作, 读取 FTW 寄存器中的内容(缺省)。 1= FTW 寄存器的串行 I/O 端口读操作,读取输入 DDS 相位累加器上的实际 32 位控制字。
15:14	I/O 更新速率控制	仅在 CFR2[23]= 1 的时有效。设置参照自动 I/O 更新定时器运行分频器的预分频值: 00=1 分频(缺省)、01=2 分频、10=4 分频、11=8 分频

13:12	开路	
11	PDCLK 使能	0 = PDCLK 引脚禁用，并强制为静态逻辑 0；内部时钟信号会连续运行，为数据汇编器提供时序。 1 = PDCLK 引脚上产生 PDCLK 信号(缺省)。
10	PDCLK 反向	0 = PDCLK 正常极性;Q 数据与逻辑 1 有关;I 数据与逻辑 0 有关(缺省)。 1 = PDCLK 反向极性。
9	TxEnable反向	0=无反向。 1=反向
8	开路	
7	延迟匹配使能	0 = DDS 振幅、相位和频率变化同步应用按所列顺序输出(缺省)。 1 = DDS 振幅、相位和频率变化同步应用同步输出。
6	数据汇编器保留最后值	仅在 CFR2[4]= 1 时有效。 0=当 TxENABLE 引脚为逻辑 0 时，并行数据端口的数据汇编器强制内部路径为零，同时忽略 D[15:0]和 F[1:0]引脚上的信号(缺省)。也就是说，当TxENABLE为逻辑 0 时，并行数据端口上的地址的值为振幅。1=当 TxENABLE 引脚为逻辑 1 时，并行数据端口数据汇编器强制保持从 D[15:0]和 F[1:0]引脚上收到的最后值。
5	同步时序验证禁用	0=SYNC_SMP_ERR 引脚使能，指示(高电平有效)检测到同步脉冲采样错误。 1 =SYNC_SMP_ERR 引脚强制为静态逻辑 0 状态(缺省)。
4	并行数据端口使能	0=并行数据端口调制功能禁用(缺省)。 1=并行数据端口调制功能使能。
3:0	FM增益	缺省值为 0000b。

控制功能寄存器 3 (CFR3)—地址 0x02（此寄存器分配了四个字节。）

位	引脚名称	描述
31:30	开路	
29:28	DRVO	控制REFCLK_OUT引脚（详见表 7）；缺省值为 00b。
27	开路	
26:24	VCO SEL	选取REFCLK PLL VCO的频段（详见表 8）；缺省值 111b。
23:22	开路	
21:19	ICP	选取REFCLK PLL中的电荷泵电流值（详见表 9）；缺省值 111b。
18:16	开路	
15	REFCLK 输入分频率器旁路	0=选取输入分频器(缺省)。 1=输入分频器被旁路。
14	REFCLK 输入分频率器重置 B	0=输入分频器被重置。 1=输入分频器正常工作(缺省)。

13:11	开路	
10	PFD 复 位	0=正常工作 (缺省)。 1=鉴相器禁用。
9	开路	
8	PLL 使 能	0 = REFCLK PLL 被旁路(缺省)。 1=REFCLK PLL 使能。
7:1	N	此7位数字是 REFCLK PLL 反馈分步器的分频模数, 缺省值为0000000b。
0	开路	

辅助 DAC 控制寄存器—地址 0x03 (此寄存器分配了四个字节。)

位	引脚名称	描述
31:8	开路	
7:0	FSC	此 8 位数字用于控制主 DAC 满量程输出电流; 缺省值 0X7F。

I/O 更新速率寄存器—地址 0x04 (此寄存器分配了四个字节。此寄存器无需 I/O 更新即可生效。)

位	引脚名称	描述
31:0	I/O 更新速率	仅在CFR2[23] = 1 的时候有效。此 32 位数字控制自动I/O 更新速率, 缺省值 0XFFFFFFF

频率调谐字寄存器((FTW)—地址 0x07 (此寄存器分配了四个字节。)

位	引脚名称	描述
31:0	频率调谐字	32 位频率调谐字

相位偏移字寄存器((POW)—地址 0x08 (此寄存器分配了两个字节。)

位	引脚名称	描述
15:0	相位偏移字	16 位相位偏移字

振幅比例因子寄存器((ASF)—地址 0x09 (此寄存器分配了四个字节。)

位	引脚名称	描述
31:16	振幅斜坡率	16 位振幅斜坡率值。仅在 CFR1[9:8]=11b 时有效。
15:2	振幅比例因子	14 位振幅比例因子
1:0	振幅步长	仅在 CFR1[9:8]=11b 时有效。

多芯片同步寄存器—地址 0X0A (此寄存器分配了四个字节。)

位	引脚名称	描述
31:28	同步验证延迟	此 4 位数设置同步接收器中同步验证模块的 SYSCLK 和延迟 SYNC_ Inx 信号之间的时序偏斜(~150ps 增量)。缺省值为 0000b。
27	同步接收器使能	0=同步模块接收器禁用(缺省)。

		1=同步时钟接收器使能。
26	同步发生器使能	0=同步时钟发生器禁用(缺省)。 1=同步时钟发生器使能。
25	同步发生器极性	0=同步时钟发生器与 SYSCLK 上升沿一致(缺省)。 1=同步时钟发生器与 SYSCLK 下降沿一致。
24	开路	
23:18	同步状态预设值	此 6 位数字为内部时钟发生器收到同步脉冲时假定的状态。缺省值为 000000b。
17:16	开路	
15:11	输出同步发生器 延迟	此 5 位数字设置同步发生器输出延迟(按~150ps 的增量)。缺省值为 00000b。
10:8	开路	
7:3	输入同步接收器 延迟	此 5 位数字设置同步接收器输入延迟(按~150 ps 的增量)。缺省值为 00000b。
2:0	开路	

数字斜坡限值寄存器—地址 0X0B (此寄存器分配了八个字节。仅在 CFR2[19] = 1 时此寄存器有效。)

位	引脚名称	描述
63:32	数字斜坡上限值	32 位数字斜坡上限值
31:0	数字斜坡下限值	32 位数字斜坡下限值

数字斜坡步长寄存器—地址 0X0C (此寄存器分配了八个字节。仅在 CFR2[19] = 1 时此寄存器有效。)

位	引脚名称	描述
63:32	数字斜坡递减步长	32 位数字斜坡递减步长值
31:0	数字斜坡递增步长	32 位数字斜坡递增步长值

数字斜坡速率寄存器—地址 0X0D (此寄存器分配了四个字节。仅在 CFR2[19] = 1 时此寄存器有效。)

位	引脚名称	描述
31:16	数字斜坡负斜率	此 16 位数字斜坡负斜率值定义两个递减值之间的时间间隔。
15:0	数字斜坡正斜率	此 16 位数字斜坡负斜率值定义两个递增值之间的时间间隔。

Profile 寄存器

器件的 profile 共使用 8 个连续的串行 I/O 地址(地址 0x0E 至地址 0x15)。所有 8 个 profile 寄存器分为单频 profile 和 RAM profile 两种。当 CFR1[31]=1 时 RAM profile 有效;当 CFR1[31]=0,CFR2[19]=0 以及 CFR2 [4]=0 时,单频 profile 有效。正常情况下,使用外部 PROFILE[2:0] 引脚选择有效 profile 寄存器。不过,对于具体情况,如果 CFR1[31]=1 和 CFR1[20:17]≠0000b,会自动选择有效 profile(参见, "RAM 上斜坡内部 Profile 控制模式" 部分)。

Profile 0 至 Profile 7, 单频寄存器—地址 0X0E 至地址 0x15 (每个寄存器分配了八个字节。)

位	引脚名称	描述
63:56	开路	
55:40	地址步进率	16 位地址步进率值。
39:30	波形结束地址	10 位波形结束地址
29:24	开路	
23:14	波形起始地址	10 位波形起始地址
13:6	开路	
5	非驻留高位	仅在上斜坡 RAM 模式时有效。 0=当 RAM 状态机到达结束地址时，终止。 1=当 RAM 状态机到达结束地址时，跳至起始地址后终止。
4	开路	
3	零交越	仅在 RAM 模式时有效，直接转换。 0=零交越功能禁用。 1=零交越功能使能。
2:0	RAM 模式控制	详情请参见表 5。

RAM 寄存器—地址 0x16 (RAM 寄存器分配了四个字节。)

位	引脚名称	描述
31:0	RAM 字	RAM Profile 0 至 RAM Profile 7 控制寄存器中的起始和结束地址定义写入 RAM 寄存器的 32 位字(1 至 1024)。

表 3. 数字斜坡目的

数字斜坡目的位 CFR2[21:20]	DDS 信号控制参数	DDS 参数指定位
00	频率	31:0
01	相位	31:16
1x	幅度	31:18

表 4. RAM 回放目的

RAM 回放目的位 CFR1[30:29]	DDS 信号控制参数	DDS 参数指定位
00	频率	31:0
01	相位	31:16
10	幅度	31:18
11	极性（相位和幅度）	31:16（相位）
		15:2（幅度）

表 5. RAM 工作模式

RAM Profile 控制字	RAM 工作模式
000、101、110、111	直接转换模式
001	上斜坡模式
010	双向斜坡模式
011	连续双向斜坡模式
100	连续循环模式

表 6. RAM 内部 profile 控制模式

内部 profile 控制位 CFR1[20:17]	波形类型	内部 profile 控制描述
0000		内部 Profile 控制禁用。
0001	突发	执行 Profile 0, Profile 1, 然后中止。
0010	突发	执行 Profile 0 至 Profile 2, 然后中止。
0011	突发	执行 Profile 0 至 Profile 3, 然后中止。
0100	突发	执行 Profile 0 至 Profile 4, 然后中止。
0101	突发	执行 Profile 0 至 Profile 5, 然后中止。
0110	突发	执行 Profile 0 至 Profile 6, 然后中止。
0111	突发	执行 Profile 0 至 Profile 7, 然后中止。
1000	连续	执行 Profile 0, Profile 1, 连续。
1001	连续	执行 Profile 0 至 Profile 2, 连续。
1010	连续	执行 Profile 0 至 Profile 3, 连续。
1011	连续	执行 Profile 0 至 Profile 4, 连续。
1100	连续	执行 Profile 0 至 Profile 5, 连续。
1101	连续	执行 Profile 0 至 Profile 6, 连续。
1110	连续	执行 Profile 0 至 Profile 7, 连续。
1111		无效。

表 7. REFCLK_OUT 缓冲控制

DRV0 位 (CFR3[29:28])	REFCLK_OUT 缓 冲
00	禁用 (三态)
01	低输出电流
10	中输出电流
11	高输出电流

表 8. V_{CO} 频率范围位设置

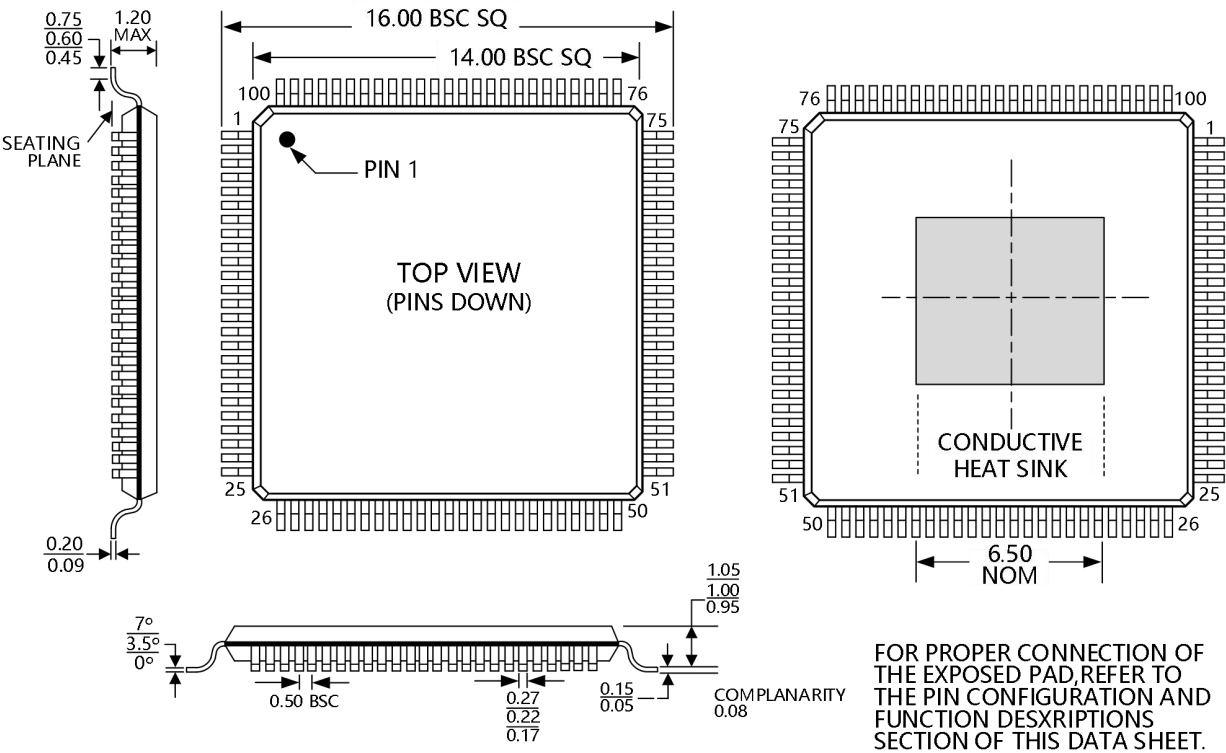
VCO 选择位 (CFR3[26:24])	VCO 范 围
-----------------------	---------

000	VCO0
001	VCO1
010	VCO2
011	VCO3
100	VCO4
101	VCO5
110	PLL 被旁路
111	PLL 被旁路

表 9. PLL 电荷泵电流

ICP 设置位 (CFR3[21:19])	电荷泵电流 ICP (uA)
000	212
001	237
010	262
011	287
100	312
101	337
110	363
111	387

封装外形及尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HDT

单位: 毫米 (mm)

包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CD99D10BQ	-40℃~85℃	TQFP-100	TRAY,90

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.7.1	初版生成	常规更新	WW	LYL	