



CD96AD53

4 通道、16 位、125 MSPS 串行 LVDS 1.8 V 模数转换器

版本：Rev 1.0.0 日期：2025-5-20

产品特性

- 信噪比 (SNR) : 75dBFS (@70MHz, 2.0 Vp-p 输入范围)
- 信噪比 (SNR) : 76.5dBFS (@70MHz, 2.6 Vp-p 输入范围)
- 无杂散动态范围 (SFDR) : 87dBc
- 串行 LVDS 输出
- 模拟输入范围 (可调) : 2.0 Vp-p/2.6 Vp-p
- 1.8V 单电源供电
- 低功耗: 每通道 173 mW, 125 MSPS, 可配置功耗模式
- 微分非线性 (DNL) : ± 0.7 LSB (典型)
- 积分非线性 (INL) : ± 3.5 LSB (典型)
- 650MHz 全功率模拟输入带宽
- SPI 串行端口控制

产品应用

- 医用成像
- 高速成像
- 无线电接收机
- 便捷式测量设备

产品描述

CD96AD53 是一款 4 通道, 16 位, 125 MSPS 采样率的模数转换器(Analog-to-Digital Converter, ADC)，专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品转换速率最高可达到 125 MSPS，具有优异的动态性能和超低功耗特性，适用多种应用场景。该 ADC 采用 1.8 V 单电源供电和 LVPECL /CMOS/LVDS 兼容型采样时钟信号。无需外部基准电压源和驱动器即可满足需求。支持独立关闭内部各通道功能；禁用全部通道后，典型功耗小于 14mW。该 ADC 内置多种功能，包括可编程时钟输出、数据对齐、生成数字测试码等。可获得的数字测试码包括：内置固定测试码和伪随机测试码，也支持用户通过串行端口接口(SPI)自定义测试码的方式。CD96AD53 采用 48 引脚封装 (QFN48)，该 ADC 额定工作范围为：-40°C到+85°C；该产品可插拔替换美国 ADI 公司的 AD9653。

目录

产品特性	- 1 -
产品应用	- 1 -
产品描述	- 1 -
引脚配置	- 3 -
引脚描述	- 3 -
功能框图及定时特性	- 5 -
时序图	- 6 -
推荐工作条件	- 7 -
额定最大值	- 7 -
性能参数	- 8 -
典型特性	- 15 -
内存映射寄存器表	- 16 -
等效电路	- 23 -
封装尺寸及结构	- 26 -
包装/订购信息	- 26 -
修订日志	- 27 -

引脚配置

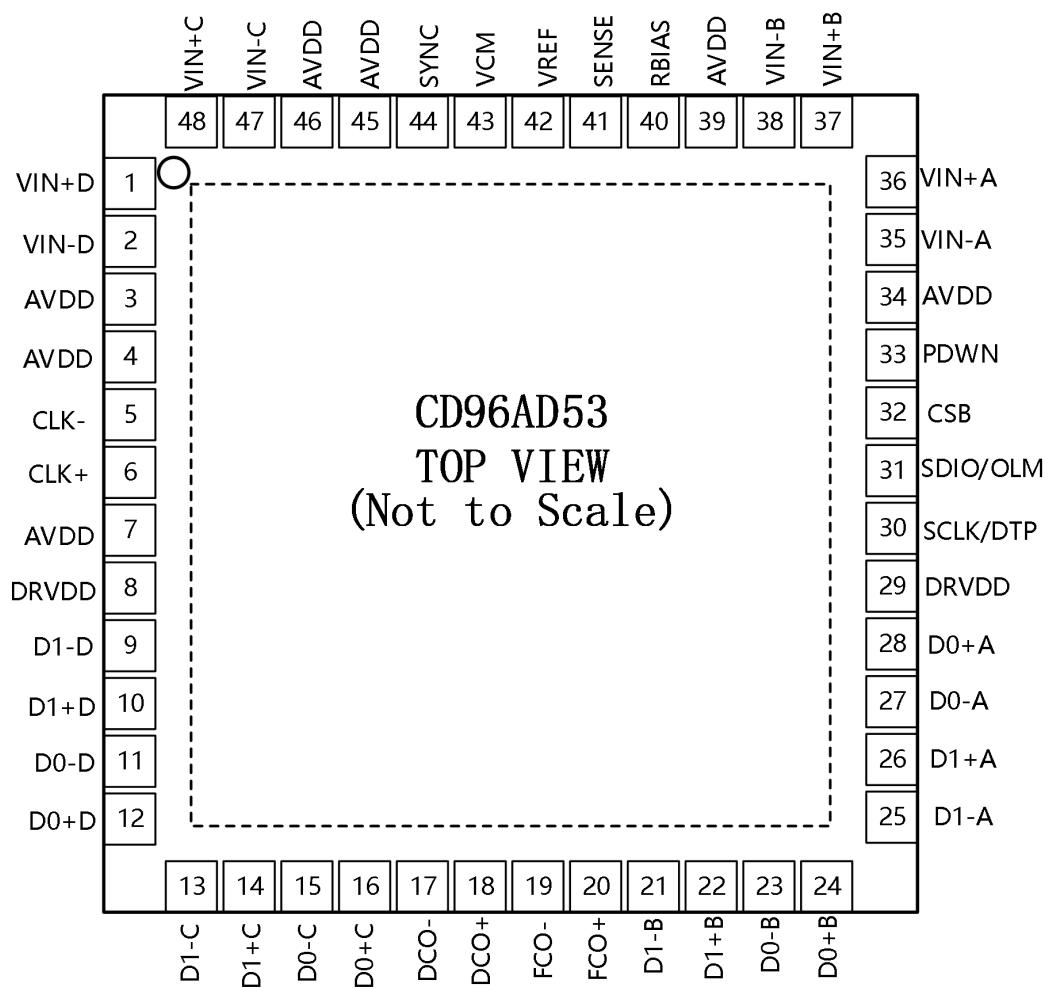


图1.引脚配置图

引脚描述

引脚序号	符号	功能
0	AGND,Exposed Pad	模拟地,裸露焊盘。封装底部的裸露热焊盘为器件提供了模拟地。为了确保器件正常工作,这个裸露焊盘必须连接到地。
1	VIN+D	ADC模拟输入D+
2	VIN-D	ADC模拟输入D-

3,4,7,34,39,45,46	AVDD	1.8 V模拟电源引脚
5,6	CLK-, CLK+	差分编码时钟。PECL、LVDS或1.8伏CMOS输入。
8,29	DRVDD	数字输出驱动电源
9,10	D1-D, D1+D	通道D数字输出1
11,12	D0-D, D0+D	通道D数字输出0
13,14	D1-C, D1+C	通道C数字输出1
15,16	D0-C, D0+C	通道C数字输出0
17,18	DCO-, DCO+	数据时钟输出
19,20	FCO-, FCO+	帧时钟输出
21,22	D1-B, D1+B	通道B数字输出1
23,24	D0-B, D0+B	通道B数字输出0
25,26	D1-A, D1+A	通道A数字输出1
27,28	D0-A, D0+A	通道A数字输出0
30	SCLK/DTP	SPI时钟输入/数字测试模式。
31	SDIO/OLM	SPI数据输入输出双向SPI数据/输出通道模式。
32	CSB	SPI片选反向。低电平有效；内部集成了30千欧的上拉电阻。
33	PDWN	数字输入，内置30kΩ下拉电阻。PDWN为高电平时，设备进入电源关闭状态。PDWN为低电平时，设备运行，正常操作。
35	VIN-A	ADC模拟输入A-
36	VIN+A	ADC模拟输入A+
37	VIN+B	ADC模拟输入B+
38	VIN-B	ADC模拟输入B-
40	RBIAS	设置模拟电流偏置。连接到接地的10kΩ (1%公差) 电阻上。
41	SENSE	基准模式选择
42	VREF	基准电压输入和输出
43	VCM	模拟输入共模电压
44	SYNC	数字输入。作为时钟分频器的SYNC输入。
47	VIN-C	ADC模拟输入C-
48	VIN+C	ADC模拟输入C+

功能框图及定时特性

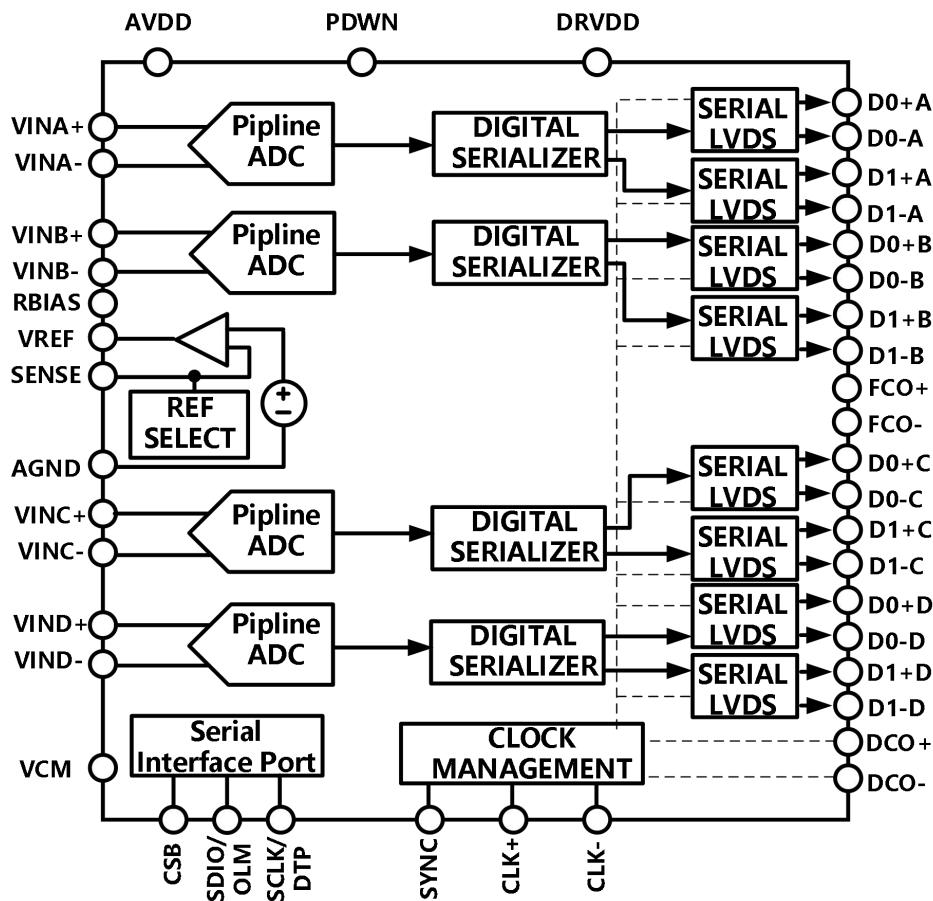


图 2. 功能框图

时序图

参见“内存映射寄存器描述”部分以获取 SPI 寄存器设置信息。

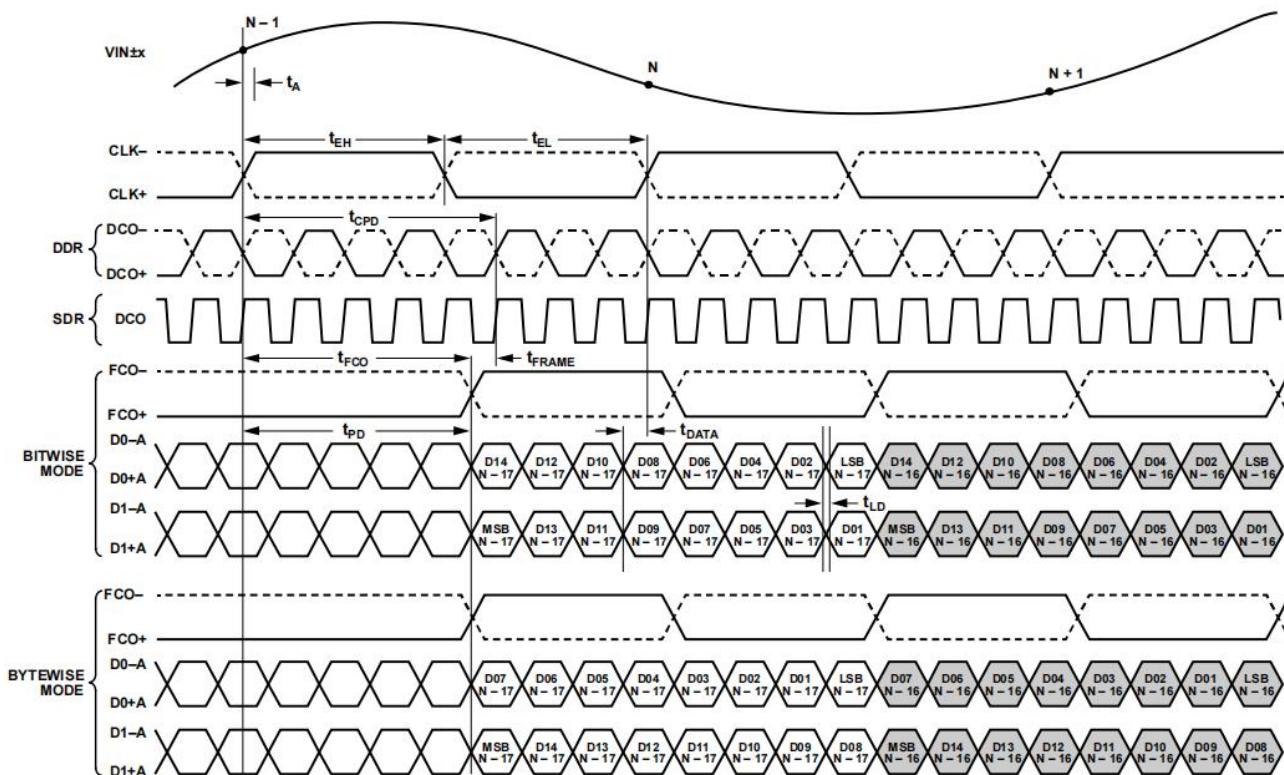


图 3. 16 位 DDR/SDR，双通道，1×帧模式（默认）

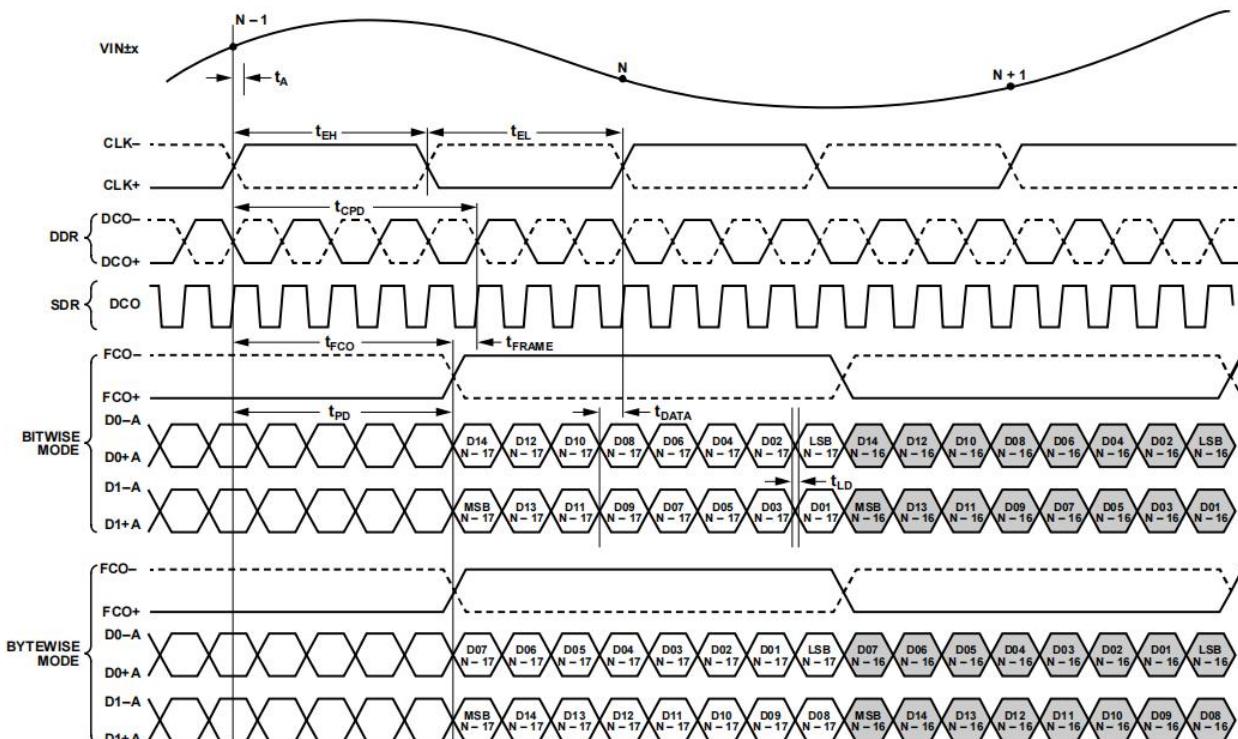


图 4. 16 位 DDR/SDR, 双通道, 2×帧模式

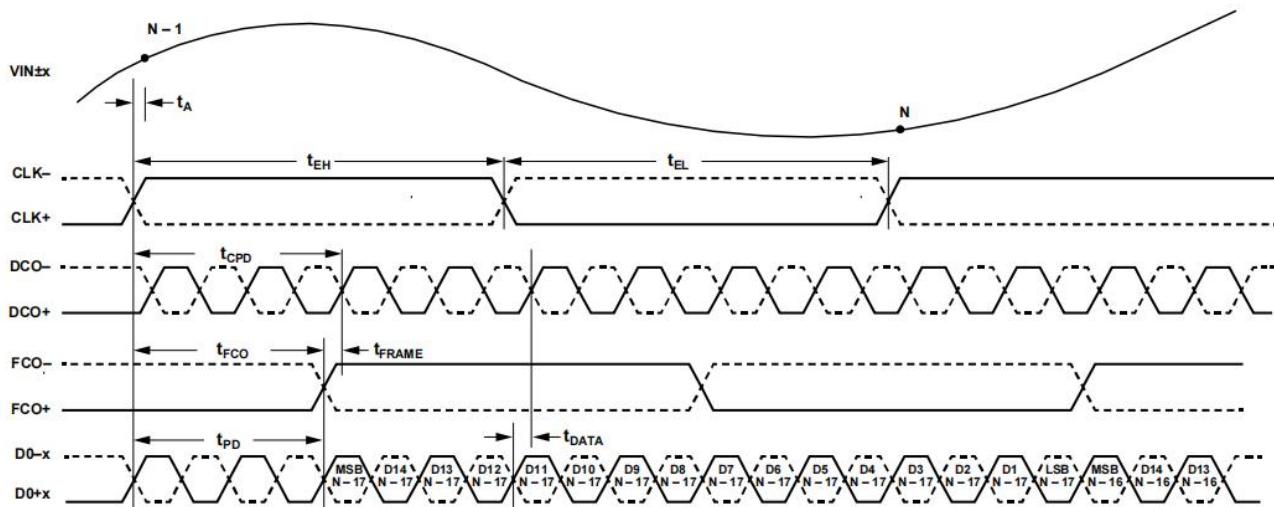


图 5. 字节对字节 DDR, 单通道, 1×帧, 16 位输出模式

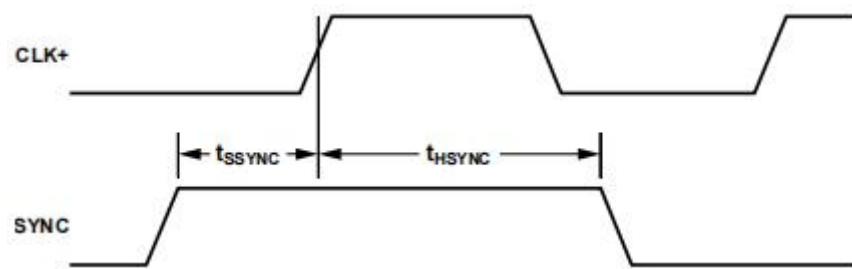


图 6. SYNC 输入时序要求

推荐工作条件

- 工作频率 (fCLK) : $\leq 125\text{MHz}$
- 模拟电源电压 (AVDD) : $1.75\text{V} \sim 1.9\text{V}$
- 数字电源电压 (DVDD) : $1.75\text{V} \sim 1.9\text{V}$
- 模拟输入共模电压 (VCM) : $0.5\text{V} \sim 1.3\text{V}$
- 工作环境温度 (TA) : -40°C 至 $+85^\circ\text{C}$
- 输入信号幅度范围 (峰峰值) : $(\text{VIN}(P-P)) \leq 2\text{V}$

额定最大值

- AVDD、DRVDD 至 AGND: -0.3 V 至 $+2.0\text{ V}$
- ($\text{D}0\pm x$ 、 $\text{D}1\pm x$ 、 $\text{DCO}+$ 、 $\text{DCO}-$ 、 $\text{FCO}+$ 、 $\text{FCO}-$) 至 AGND 的数字输出: -0.3 V 至 $+2.0\text{ V}$
- CLK+、CLK-、VIN+x、VIN-x、SCLK/DTP、SDIO/OLM、CSB、SYNC 至 AGND: -0.3 V 至 $+2.0\text{ V}$
- PDWN、RBIAS、VCM、VREF、SENSE 至 AGND: -0.3 V 至 $+2.0\text{ V}$
- 工作温度范围 (环境温度) : -55°C 至 $+100^\circ\text{C}$
- 引线温度 (焊接, 10 秒) : 300°C

- 储存温度范围：-55°C 至 +125°C
- 最高结温：150°C

性能参数

DC 特性

参数	测试条件	最小值	典型值	最大值	单位
分辨率	25°C	16			Bit
精度					
无失码	25°C		设计保证		--
失调误差	25°C	--	0.3	--	%FSR
失调匹配	25°C	--	+0.2	--	%FSR
增益误差	25°C	--	-5	--	%FSR
增益匹配	25°C	--	1.1	--	%FSR
微分非线性(DNL)	全温	--	±0.8	--	LSB
积分非线性 (INL)	全温	--	±5.0	--	LSB
温度漂移					
增益误差	全温	--	3.5	--	ppm/°C
内部基准电压					
输出电压 (1.0 V 模式)	25°C	--	1.3	--	V
1.0 mA 时的负载调整 (V _{REF} = 1.0 V)	25°C	--	6.5	--	mV
输入阻抗	25°C	--	7.5	--	kΩ
输入相关噪声					
V _{REF} = 1.0 V	25°C	--	2.1	--	LSB rms
模拟输入					
差分输入电压(V _{REF} = 1.0 V)	25°C	--	2.6	--	Vp-p
共模输入电压	25°C	--	0.9	--	V
共模电压 Range	25°C	0.6	--	1.3	V
差分输入阻抗	25°C	--	2.6	--	kΩ
差分输入电容	25°C	--	7	--	pF
电源					
AVDD	25°C	--	1.8	--	V
DVDD,DRVDD	25°C	--	1.8	--	V

I_{AVDD2}	25°C	--	314	--	mA
I_{DRVDD} (ANSI-644 Mode)2	25°C	--	60	--	mA
I_{DRVDD} (低摆幅模式)	25°C	--	45	--	mA
总功耗					
直流输入	全温	--	614	--	mW
正弦波输入 (四通道, 包括输出驱动器, ANSI-644 模式)	25°C	--	673	--	mW
省电模式	25°C	--	2	--	mW
待机模式 ³	25°C	--	371	--	mW

直流规格(VREF=1.0 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.0 Vp-p 满量程差分输入, 1.0 V 基准电压, 如无特殊说明, AIN=-1.0dBFS。

参数	测试条件	最小值	典型值	最大值	单位
分辨率	25°C	16			Bit
精度					
无失码	25°C	--	--	--	--
失调误差	25°C	-0.49	-0.3	0.17	%FSR
失调匹配	25°C	-0.14	+0.2	0.39	%FSR
增益误差	25°C	-12.3	-5	2.37	%FSR
增益匹配	25°C	1.0	1.1	5.8	%FSR
微分非线性(DNL)	全温	-0.99	± 0.7	+0.99	LSB
积分非线性 (INL)	全温	-5	± 3.5	+5	LSB
温度漂移					
增益误差	全温	--	3.5	--	ppm/°C
内部基准电压					
输出电压 (1.0 V 模式)	25°C	--	1.3	--	V
1.0 mA 时的负载调整 ($V_{REF} = 1.0$ V)	25°C	--	6.5	--	mV
输入阻抗	25°C	--	7.5	--	KΩ
输入相关噪声					
$V_{REF} = 1.3$ V	25°C	--	2.1	--	LSB rms
模拟输入					

差分输入电压($V_{REF} = 1.0\text{ V}$)	25°C	--	2.6	--	Vp-p
共模输入电压	25°C	--	0.9	--	V
共模电压 Range	25°C	0.6	--	1.3	V
差分输入阻抗	25°C	--	2.6	--	kΩ
差分输入电容	25°C	--	7	--	pF
电源					
AVDD	25°C	1.7	1.8	1.9	V
DVDD,DRVDD	25°C	1.7	1.8	1.9	V
I_{AVDD2}	25°C	--	305	330	mA
I_{DRVDD} (ANSI-644 Mode)2	25°C	--	60	64	mA
I_{DRVDD} (低摆幅模式)	25°C	--	45	--	mA
总功耗					
直流输入	全温	--	607	649	mW
正弦波输入 (四通道, 包括输出驱动器, ANSI-644 模式)	25°C	--	657	708	mW
省电模式	25°C	--	2	--	mW
待机模式 ³	25°C	--	356	392	mW

交流规格($V_{REF}=1.3\text{ V}$)

AVDD=1.8 V, DRVDD=1.8 V, 2.6 Vp-p 满量程差分输入, 1.3 V 基准电压, 如无特殊说明, AIN=-1.0dBFS

参数	测试条件	最小值	典型值	最大值	单位
信噪比 (SNR)					
$f_{IN} = 9.7\text{ MHz}$	全温	75	78.0	--	dBFS
$f_{IN} = 15\text{ MHz}$	25°C	--	77.8	--	dBFS
$f_{IN} = 70\text{ MHz}$	25°C	--	75.0	--	dBFS
$f_{IN} = 128\text{ MHz}$	全温	70	73.9	--	dBFS
$f_{IN} = 200\text{ MHz}$	25°C	--	71.5	--	dBFS
信噪失真比 (SINAD)					
$f_{IN} = 9.7\text{ MHz}$	全温	--	78	--	dBFS
$f_{IN} = 15\text{ MHz}$	25°C	--	77.7	--	dBFS
$f_{IN} = 70\text{ MHz}$	25°C	--	76.5	--	dBFS

$f_{IN} = 128 \text{ MHz}$	全温	--	73.6	--	dBFS
$f_{IN} = 200 \text{ MHz}$	25°C	--	70.3	--	dBFS
有效位数(ENOB)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	12.7	--	Bits
$f_{IN} = 15 \text{ MHz}$	25°C	--	12.6	--	Bits
$f_{IN} = 70 \text{ MHz}$	25°C	--	12.3	--	Bits
$f_{IN} = 128 \text{ MHz}$	全温	--	11.9	--	Bits
$f_{IN} = 200 \text{ MHz}$	25°C	--	11.4	--	Bits
无杂散动态范围 (SFDR)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	95	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	93	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	89	--	dBc
$f_{IN} = 128 \text{ MHz}$	全温	--	87	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	77	--	dBc
最差谐波 (二阶或三阶)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	-98	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	-93	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	-89	--	dBc
$f_{IN} = 128 \text{ MHz}$	全温	--	-87	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	-77	--	dBc
最差的其他谐波或杂散 (二阶或三阶除外)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	-96	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	-98	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	-94	--	dBc
$f_{IN} = 128 \text{ MHz}$	全温	--	-89	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	-83	--	dBc
双音互调失真 (IMD) ——AIN1 和 AIN2=-7.0 dBFS					
$f_{IN1} = 70.5 \text{ MHz}, f_{IN2} = 72.5 \text{ MHz}$	25°C	--	-90	--	dBc
串扰 ²	25°C	--	-91	--	dB
串扰 (超量程条件) ³	25°C	--	-87	--	dB
模拟输入带宽, 全功率	25°C	--	650	--	MHz

¹ $f_{IN} \geq 401 \text{ MHz}$ 测试时, 在 $AIN = -5.0 \text{ dBFS}$ 条件下进行测试。

² 一个通道输入 $f_{IN} = 70 \text{ MHz}$, -1.0 dBFS 模拟输入且相邻通道上无输入信号。

³ 超量程定义为高于满量程范围 3dB。

交流规格(VREF=1.0 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.0 Vp-p 满量程差分输入, 1.0 V 基准电压, 如无特殊说明,
AIN=-1.0dBFS

参数	测试条件	最小值	典型值	最大值	单位
信噪比(SNR)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	80	--	dBFS
$f_{IN} = 15 \text{ MHz}$	25°C	--	79	--	dBFS
$f_{IN} = 70 \text{ MHz}$	25°C	--	77.5	--	dBFS
$f_{IN} = 128 \text{ MHz}$	全温	--	74.4	--	dBFS
$f_{IN} = 200 \text{ MHz}$	25°C	--	71.7	--	dBFS
信噪失真比(SINAD)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	79.8	--	dBFS
$f_{IN} = 15 \text{ MHz}$	25°C	--	79.2	--	dBFS
$f_{IN} = 70 \text{ MHz}$	25°C	--	76.1	--	dBFS
$f_{IN} = 128 \text{ MHz}$	全温	--	74	--	dBFS
$f_{IN} = 200 \text{ MHz}$	25°C	--	69.9	--	dBFS
有效位数 (ENOB)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	13	--	Bits
$f_{IN} = 15 \text{ MHz}$	25°C	--	12.9	--	Bits
$f_{IN} = 70 \text{ MHz}$	25°C	12.1	12.3	--	Bits
$f_{IN} = 128 \text{ MHz}$	全温	--	12	--	Bits
$f_{IN} = 200 \text{ MHz}$	25°C	--	11.3	--	Bits
无杂散动态范围(SFDR)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	94	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	94	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	82	--	dBc
$f_{IN} = 128 \text{ MHz}$	全温	--	86	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	75	--	dBc
最差谐波 (二次或三次)					
$f_{IN} = 9.7 \text{ MHz}$	全温	--	-94	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	-94	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	-82	--	dBc

$f_{IN} = 128 \text{ MHz}$	全温	--	-87	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	-75	--	dBc

最差的其他谐波或杂散 (二阶或三阶除外)

$f_{IN} = 9.7 \text{ MHz}$	全温	--	-100	--	dBc
$f_{IN} = 15 \text{ MHz}$	25°C	--	-99	--	dBc
$f_{IN} = 70 \text{ MHz}$	25°C	--	-96	--	dBc
$f_{IN} = 128 \text{ MHz}$	全温	--	-86	--	dBc
$f_{IN} = 200 \text{ MHz}$	25°C	--	-84	--	dBc

双音互调失真 (IMD) ——AIN1 和 AIN2=-7.0 dBFS

$f_{IN1} = 70.5 \text{ MHz}, f_{IN2} = 72.5 \text{ MHz}$	25°C	--	-90	--	dBc
串扰 ²	25°C	--	-91	--	dB
串扰 (超量程条件) ³	25°C	--	-87	--	dB
模拟输入带宽, 全功率	25°C	--	650	--	MHz

数字特性

AVDD=1.8 V, DRVDD=1.8 V, 如无特殊说明, AIN=-1.0dBFS。

参数	测试条件	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)					
逻辑合规性	--	--	CMOS/LVD S/LVPECL	--	--
差分输入电压 ²	全温	0.2	--	3.6	Vp-p
输入电压范围	全温	AGND -0.2	--	AVDD + 0.2	V
输入共模电压	全温	--	0.9	--	V
输入阻抗(差分)	25°C	--	15	--	kΩ
输入电容	25°C	--	4	--	pF
逻辑输入(PDWN, SYNC, SCLK)					
逻辑1电压	全温	1.2	--	AVDD + 0.2	V
逻辑0电压	全温	0	--	0.8	V
输入阻抗	25°C	--	30	--	kΩ
输入电容	25°C	--	2	--	pF
逻辑输入 (CSB)					
逻辑1电压	全温	1.2	--	AVDD + 0.2	V
逻辑0电压	全温	0	--	0.8	V
输入阻抗	25°C	--	30	--	kΩ

输入电容	25°C	--	2	--	pF
逻辑输入 (SDIO)					
逻辑1电压	全温	1.2	--	AVDD + 0.2	V
逻辑0电压	全温	0	--	0.8	V
输入阻抗	25°C	--	26	--	kΩ
输入电容	25°C	--	5	--	pF
数字输出 (D0±x, D1±x), ANSI-644					
逻辑合规性	--	--	LVDS	--	--
差分输出电压 (V_{OD})	全温	±290	±345	±400	mV
输出失调电压 (V_{OS})	全温	1.15	1.25	1.35	V

开关特性

AVDD=1.8 V, DRVDD=1.8 V, 如无特殊说明, AIN=-1.0dBFS。

参数	测试条件	最小值	典型值	最大值	单位
时钟³					
输入时钟速率	全温	20	--	1000	MHz
转换速率 ⁴	全温	20	--	125	MSPS
高时钟脉冲宽度时间 (t_{EH})	全温	--	4.00	--	ns
低时钟脉冲宽度时间 (t_{EL})	全温	--	4.00	--	ns
输出参数³					
传输延迟(t_{PD})	全温	1.5	2.3	3.1	ns
流水线延迟	25°C	--	16	--	ns
上升时间(t_R) (20% to 80%)	全温	--	300	--	ps
下降时间 (t_F) (20% to 80%)	全温	--	300	--	ps
数据输出占空比	全温	--	50	--	%
待机时间	25°C	--	375	--	μs
唤醒时间 (断电) ⁶	25°C	--	250	--	ns
孔径					
孔径延时 (t_A)	25°C	--	1	--	ns
孔径不确定性 (Jitter, t_J)	25°C	--	135	--	fs rms
超出范围的恢复时间	25°C	--	1	--	时钟周期

时序特性

参数	测试条件	最小值	典型值	最大值	单位
SPI 时序需求					

t_{DS}	数据与SCLK上升沿之间的设置时间	2	--	--	ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2	--	--	ns
t_{CLK}	SCLK的周期	40	--	--	ns
t_s	CSB和SCLK之间的设置时间	2	--	--	ns
t_h	CSB和SCLK之间的保持时间	2	--	--	ns
t_{HIGH}	SCLK高脉冲宽度时间	10	--	--	ns
t_{LOW}	SCLK低脉冲宽度时间	10	--	--	ns
t_{EN_SDIO}	相对于SCLK下降沿， SDIO引脚从输入切换到输出所需的时间	10	--	--	ns
t_{DIS_SDIO}	SDIO引脚从输出切换到输入所需的时间 SCLK上升沿	10	--	--	ns

典型特性

$V_{REF} = 1.0 \text{ V}$

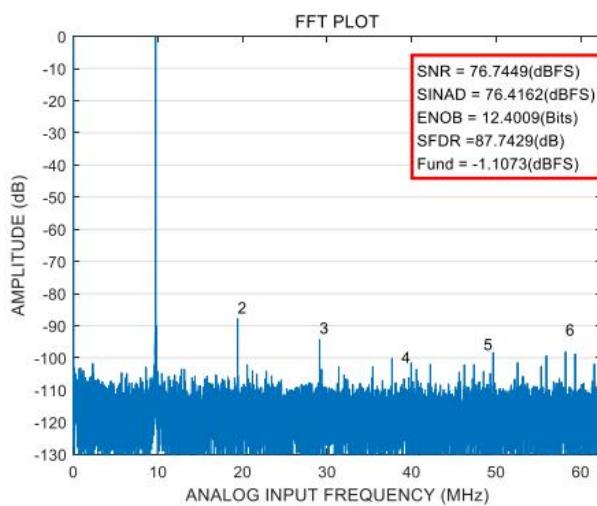


图 7. 单音 32K($f_{IN}=10\text{MHz}$, $f_S=125\text{MSPS}$)

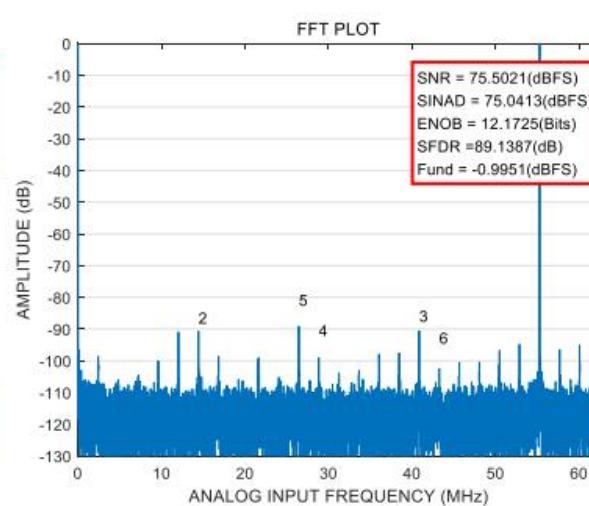


图 8. 单音 32K($f_{IN}=70\text{MHz}$, $f_S=125\text{MSPS}$)

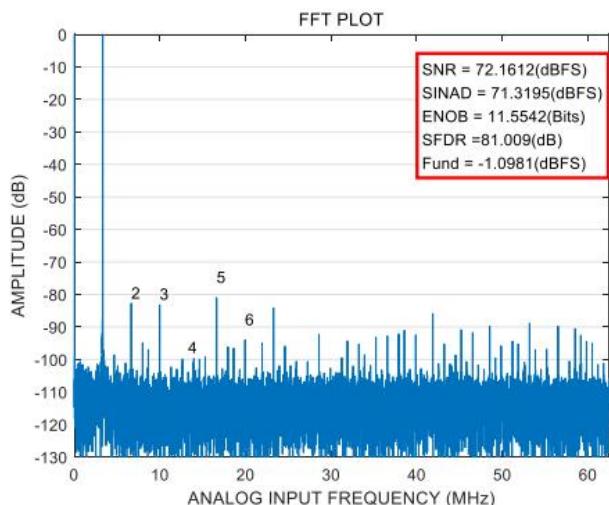


图9.单音 32K(fIN=128MHz, fS=125MSPS)

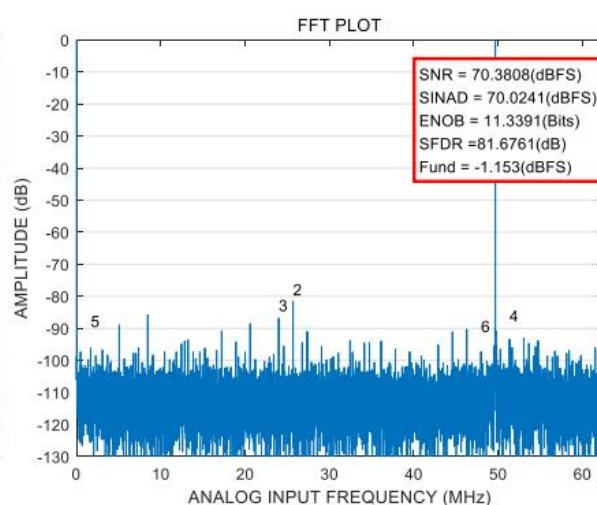


图 10.单音 32K(fIN=200MHz, fS=125MSPS)

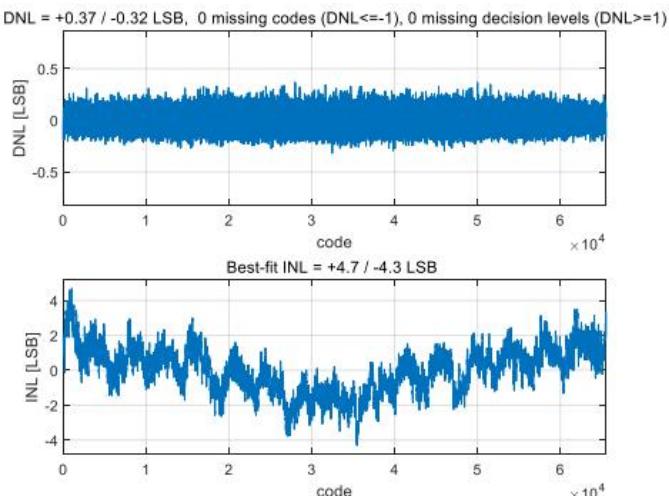


图 11.DNL/INL(fIN=10MHz, fS=125MSPS)

内存映射寄存器表

CD96AD53 采用三线接口和 16 位寻址方式，因此寄存器 0x00 中的第 0 位和第 7 位被设置为 0，而第 3 位和第 4 位被设置为 1。当寄存器 0x00 中的第 5 位被置高时，SPI 进入软复位状态，所有用户寄存器将恢复到其默认值，并且第 2 位会自动清零。

地址	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值 (Hex)	说明
产品寄存器配置											
0x00	SPI 端口配置 (global)	0 = SDO active	LSB first	Soft reset	1 = 16-bit address	1 = 16-bit address	Soft reset	LSB first	0 = SDO active	0x18	R/W
0x01	产品 ID (global)	8-bit Chip ID [7:0], 0xB5 = quad, 16-bit, 125 MSPS serial LVDS							0xB5		R

0x02	产品等级 (global)	打开	速度等级ID[6:4] 110 = 125 MSPS			打开	打开	打开	打开		R	
设备index和传输寄存器												
0x04	Device index	打开	打开			数据通道 D	数据通道 C	数据通道 B	数据通道 A	0x0F	R/W	
0x05	Device index	打开	打开	Clock Channel DCO	Clock Chann el FCO	数据通道 D	数据通道 C	数据通道 B	数据通道 A	0x3F	R/W	
0xFF	Transfer	打开	打开	打开	打开	打开	打开	打开	Initiate overrid e	0x00	W	
全局ADC功能寄存器												
0x08	电源模式 (local)	打开	打开	外部电 源下降 引脚功 能 0=完全 断电 1=待机	打开	打开	打开	电源模式 00=芯片运行 01=完全断电 10=待机 11=复位		0x00	R/W	
0x09	时钟(global)	打开	打开	打开	打开	打开	打开	打开	占空比 稳定 器: 1=关闭 0=打开	0x01	R/W	
0x0B	时钟分频 (global)	打开	打开	打开	打开	打开	打开	时钟分频比[2:0] 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8		0x00	R/W	
0x0D	测试模式 (本 地, PN序列重 置除外)	用户输入测试模式 00=单次01=交替 10=单次11=交替 一次 (仅影响用户输 入测试方式, Bits[3:0]=1000)			Reset PN long gen	Reset PN short gen	Output test mode[3:0] (local) 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN 23 sequence 0110 = PN 9 sequence 0111 = one/zero word toggle 1000 = user input 1001 = 1-/0-bit toggle 1010 = 1× sync 1011 = one bit high 1100 = mixed bit frequency				0x00	R/W

0x10	失调偏移调整 (local)	8位设备偏移调整[7:0] (本地) LSB中从+127到-128的偏移调整 (二进制补码格式)								0x00	R/W	
0x14	输出模式	打开	LVDS-A NSI/ LVDS-I EEE option 0 = LVDS-A NSI 1 = LVDS-I EEE reduc ed range link (global)	打开	打开	打开	Output invert (local)	1	Output format 0 = offset binary 1 = twos compl e-men t (global)	0x03	R/W	
0x15	输出可选	打开	打开	输出驱动端口[1:0] 00 = 无 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω	打开	打开	打开	输出驱动 0 = 1× drive 1 = 2× drive	0x00	R/W		
0x16	输出相位	打开	输入时钟相位调整[6:4] (值是相位延迟的输入时钟周期数)				输出时钟相位调整[3:0] (0000 通过 1011)				0x03	R/W
0x18	VREF	打开	打开	打开	打开	打开	VREF 可调节数字方案[2:0] 000 = 1.0 V p-p (1.3 V p-p) 001 = 1.14 V p-p (1.48 V p-p) 010 = 1.33 V p-p (1.73 V p-p) 011 = 1.6 V p-p (2.08 V p-p) 100 = 2.0 V p-p (2.6 V p-p)	0x04	R/W			
0x19	USER_PATT1 _LSB (global)	B7	B6	B5	B4	B3	B2	B2	B0	0x00	R	
0x1A	USER_PATT1 _MSB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	R	
0x1B	USER_PATT2 _LSB (global)	B7	B6	B5	B4	B3	B2	B2	B0	0x00	R	
0x1C	USER_PATT2 _MSB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	R	

0x21	串行输出数据控制(global)	LVDS output LSB first	SDR/DDR one-lane/two-lane, bitwise/bytewise[6:4] 000 = SDR two-lane, bitwise 001 = SDR two-lane, bytewise 010 = DDR two-lane, bitwise 011 = DDR two-lane, bytewise 100 = DDR one-lane, wordwise			打开	Select 2× frame	串行输出位数 00 = 16 bits		0x30	串行流控制。默认情况下会导致 MSB 优先和本机位流
0x22	串行通道状态(local)	打开	打开	打开	打开	打开	打开	通道输出复位	通道断电	0x00	用于关闭转换器的各个部分。
0x100	采样率覆盖	打开	采样率覆盖使能	0	0	打开	采样率 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x00	采样率覆盖 (需要传输寄存器, 0xF F)
0x101	用户输入/输出控制2	打开	打开	打开	打开	打开	打开	打开	SDIO pull-down	0x00	禁用 SDI O 下拉
0x102	用户输入/输出控制3	打开	打开	打开	打开	VCM 下电	打开	打开	打开	0x00	VC M 控制.
0x109	Sync	打开	打开	打开	打开	打开	打开	Sync next only	sync 使能	0x00	

内存映射寄存器描述

有关寄存器 0x00 至寄存器 0xFF 控制功能的更多信息，请参阅通过 SPI 接口连接高速 ADC 的指南。

设备索引 (寄存器 0x04, 寄存器 0x05)

映射中某些特性可针对每个通道独立设置，而其他特性则全局应用于所有通道（根据上下文），无论

选择哪个通道。寄存器 0x04 和寄存器 0x05 的前四位用于选择哪些单独的数据通道受到影响。输出时钟通道也可以在寄存器 0x05 中选择。独立功能列表的一个较小子集可以应用于这些设备。寄存器 0x04 的位[3:0]必须设置为与寄存器 0x05 的位[3:0]相同值。

传输 (寄存器 0xFF)

除寄存器 0x100 外，所有寄存器在写入时立即更新。将此传输寄存器的位 0 置高会初始化采样率覆盖寄存器 (地址 0x100) 中的设置。

电源模式 (寄存器 0x08)

位[7:6] — 保留

位 5 — 外部电源关闭引脚功能

如果设置，外部 PDWN 引脚启动待机模式。如果清除，外部 PDWN 引脚启动电源关断模式。

位[4:2] — 保留

位[1:0] — 电源模式

在正常操作模式 (位[1:0] = 00) 下，所有 ADC 通道均处于活动状态。在电源关断模式 (位[1:0] = 01) 下，数字数据路径时钟被禁用，同时数字数据路径被重置。输出被禁用。在待机模式 (位[1:0] = 10) 下，数字数据路径时钟和输出被禁用。在数字复位期间 (位[1:0] = 11)，芯片上的所有数字数据路径时钟和输出 (如适用) 都会被复位，但 SPI 端口除外。请注意，SPI 始终由用户控制；即，它永远不会自动禁用或复位 (除了上电复位)。

时钟 (寄存器 0x09)

位[7:1] — 保留

位 0 — 占空比稳定

默认状态为位 0 = 1，占空比稳定器关闭。请注意，当器件不在 SPI 模式下时，占空比稳定器是开启的。有关更多详细信息，请参阅无 SPI 配置部分。

增强控制 (寄存器 0x0C)

位[7:3] — 保留

位 2 — 切换模式

对于对偏置电压和其他低频噪声敏感的应用，例如同频混频或直接转换接收器，CD96AD53 的第一级提供了切换功能，通过设置位 2 可启用此功能。在频域中，切换将偏置和其它低频噪声转移到 fCLK/2 处，以便进行滤波。

位[1:0] — 保留

输出模式 (寄存器 0x14)

位 7 — 保留

位 6 — LVDS-ANSI/LVDS-IEEE 选项

设置此位选择 LVDS-IEEE (减小范围) 选项，默认设置为 LVDS-ANSI。当选择 LVDS-ANSI 或 LVDS-IEEE 减小范围链路时，用户可以选择驱动器端接。驱动电流会自动选择以提供合适的输出摆幅。

LVDS-ANSI/LVDS-IEEE 选项说明

输出模式, Bit 6	输出模式	输出驱动终端	输出驱动电流
0	LVDS-ANSI	用户可选	自动选择以提供正确的摆幅
1	LVDS-IEEE 减程链路	用户可选	自动选择以提供正确的摆幅

位[5:3] — 保留

位 2 — 输出反转

设置此位会翻转输出比特流。

位 1 — 保留

位 0 — 输出格式

默认情况下, 此位设置为以二进制补码格式发送数据输出。复位此位会将输出模式更改为偏移二进制。

输出调整 (寄存器 0x15)

位[7:6] — 保留

位[5:4] — 输出驱动器端接

这些位允许用户选择内部端接电阻。

位[3:1] — 保留

位 0 — 输出驱动

输出调整寄存器的位 0 仅控制 FCO 和 DCO 输出的 LVDS 驱动器的驱动强度。默认值设置驱动为 1 倍, 而通过在寄存器 0x05 中设置相应的通道位, 然后设置位 0, 驱动可以增加到 2 倍。这些功能不能与输出驱动器端接选择一起使用。当同时选择输出驱动器端接和输出驱动时, 端接选择优先于 FCO 和 DCO 上的 2 倍驱动强度。

输出相位 (寄存器 0x16)

位 7 — 保留

位[6:4] — 输入时钟相位调整

当使用时钟分频器 (寄存器 0x0B) 时, 应用的时钟频率高于内部采样时钟。寄存器 0x16 的位[6:4]确定在外部时钟的哪个相位进行采样。这仅在使用时钟分频器时适用。禁止选择位[6:4]的值大于寄存器 0x0B 的位[2:0]的值。

输入时钟相位调整选项说明

输入时钟相位调整, 位[6:4]	相位延迟的输入时钟周期数
000 (默认)	0
001	1
010	2
011	3
100	4
101	5
110	6

位[3:0]—输出时钟相位调整**输出时钟相位调整选项**

输出时钟 (DCO), 相位调整, 位[3:0]	DCO 相位调整 (相对于 D0±x/D1±x 边缘的度数)
0000	0
0001	60
0010	120
0011	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

SPI 寄存器选项

寄存器 0x21 目录	已选择序列化选项		串行数据模式	DCO 倍增	时序图
	串行输出位数 (SONB)	帧模式			
0x30	16-bit	1x	DDR双通道, 字节式	$4 \times f_s$	图3 (默认设置)
0x20	16-bit	1x	DDR双通道, 按位计算	$4 \times f_s$	图3
0x10	16-bit	1x	SDR双通道, 字节式	$8 \times f_s$	图3
0x00	16-bit	1x	SDR双通道, 按位计算	$8 \times f_s$	图3
0x34	16-bit	2x	DDR 双通道, 字节式	$4 \times f_s$	图3
0x24	16-bit	2x	DDR双通道, 按位计算	$4 \times f_s$	图3

0x14	16-bit	2x	SDR双通道, 字节式	$8 \times f_s$	图3
0x04	16-bit	2x	SDR双通道, 按位计算	$8 \times f_s$	图3
0x40	16-bit	1x	DDR单向, 文字	$8 \times f_s$	图3

串行输出数据控制 (寄存器 0x21)

串行输出数据控制寄存器用于根据数据捕获解决方案的不同需求，对 CD96AD53 进行编程以适应多种输出数据模式。

采样率覆盖 (寄存器 0x100)

该寄存器设计用于允许用户针对不需要全采样率的应用降低器件的工作状态（即，实现更低功耗）。此寄存器中的设置在传输寄存器（寄存器 0xFF）的位 0 设置为 1 之前不会初始化。此功能不影响当前采样率，而是影响 ADC 的最大采样率能力以及分辨率。

用户输入/输出控制 2 (寄存器 0x101)

位[7:1] — 保留

位 0 — SDIO 下拉

位 0 可以设置以禁用 SDIO 引脚上的内部 $30\text{k}\Omega$ 下拉电阻，这在许多设备连接到 SPI 总线时可用于限制负载。

用户输入/输出控制 3 (寄存器 0x102)

位[7:4] — 保留

位 3 — VCM 电源关断

位 3 可以置高以关闭内部 VCM 发生器的电源。当应用外部参考时，使用此功能。

位[2:0] — 保留

等效电路

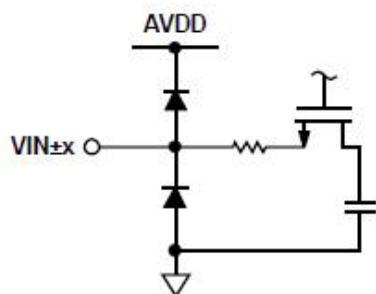


图 7. 等效模拟输入电路

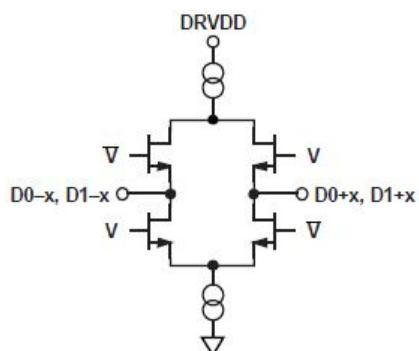


图 8. 等效数字输出电路

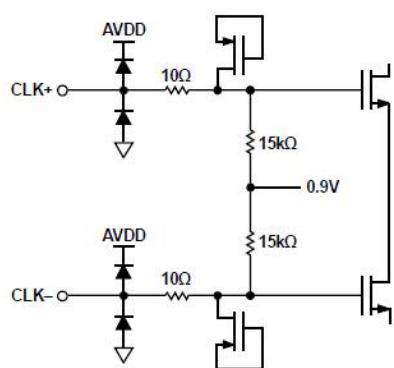


图 9. 等效时钟输入电路

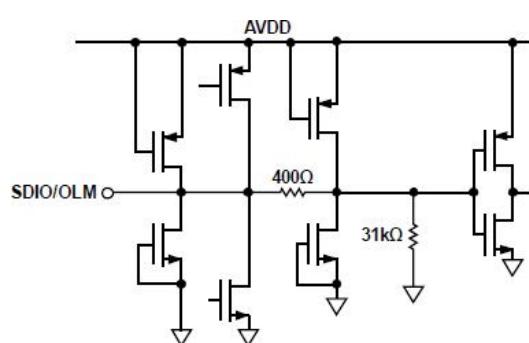


图 10. 等效 SDIO/OLM 输入电路

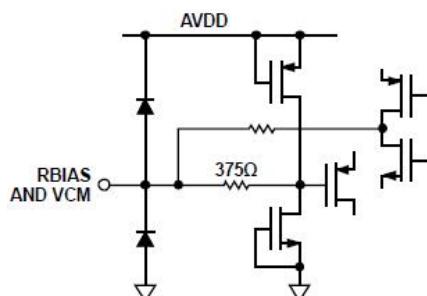


图 11. 等效 Rbias 和 VCM 电路

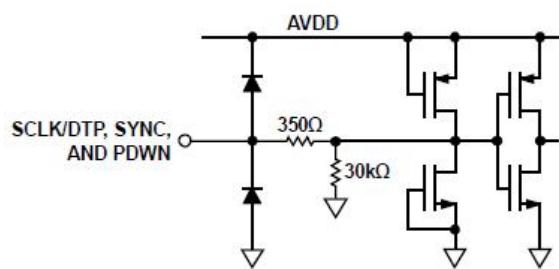


图 12. 等效 SCLK/DTP, SYNC, 和 PDWN 输入电路

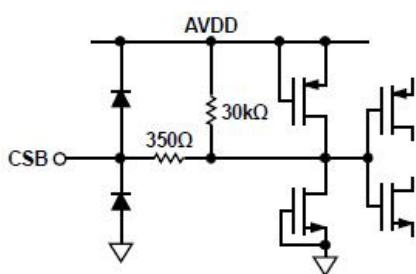


图 13. 等效 CS 输入电路

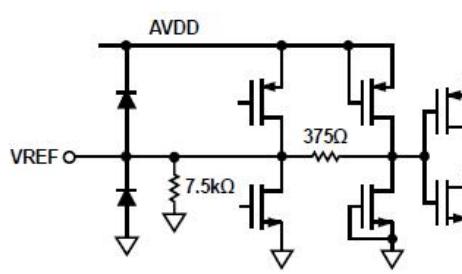


图 14. 等效 VREF 电路

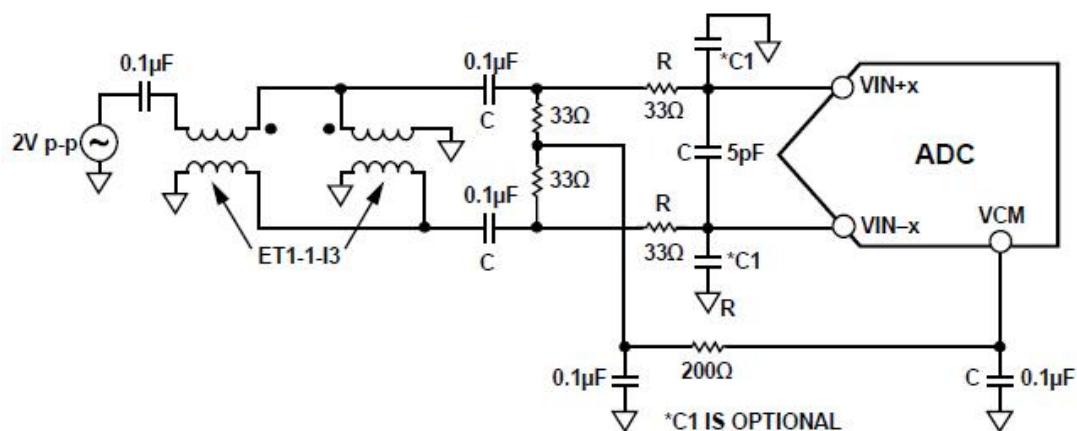


图 15. 用于基带应用的差分双巴伦输入配置

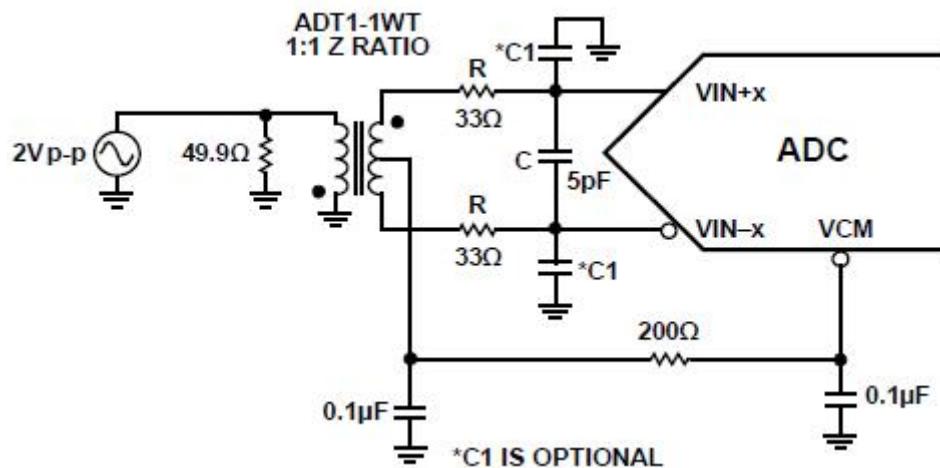


图 16. 用于基带应用的差分变压器耦合配置

封装尺寸及结构

QFN-48

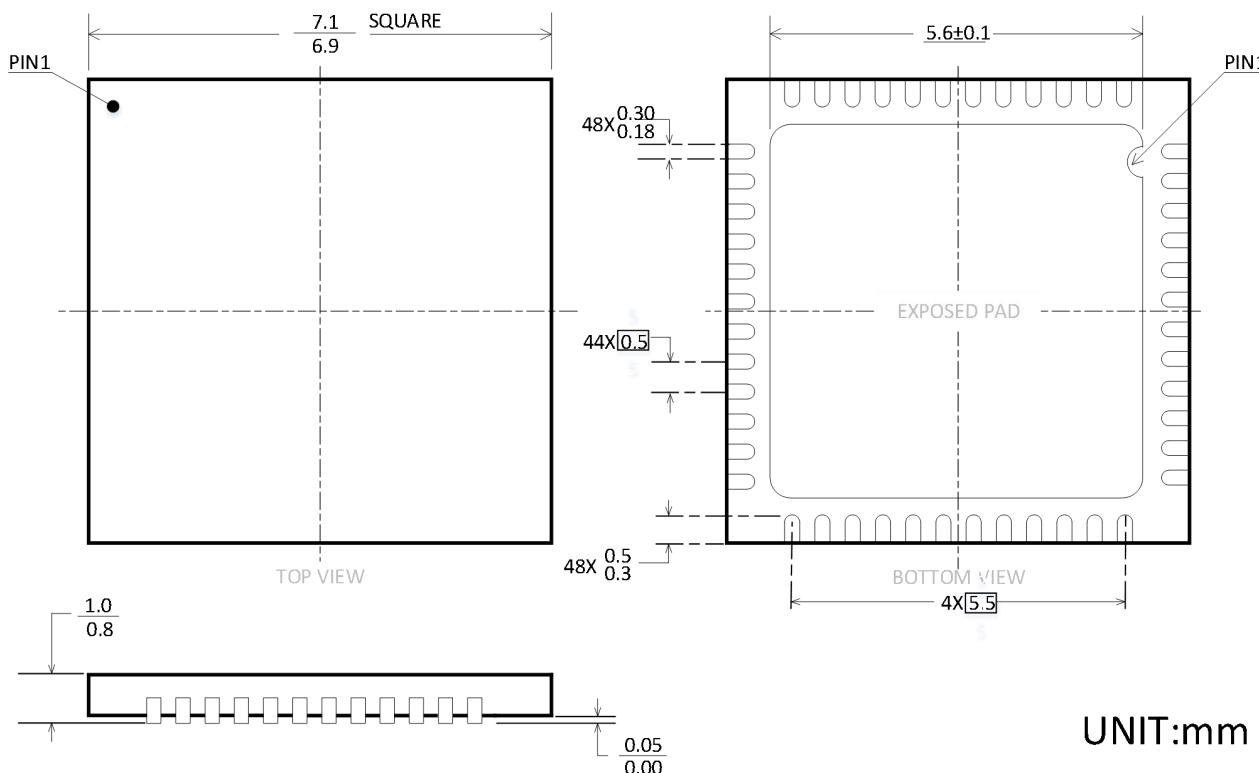


图 17. QFN-48 封装尺寸图

包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CD96AD53-125	-40°C-85°C	QFN-48	托盘, 250

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.5.20	初版生成	常规更新	WW	LYL	
V1.1	2025.7.17	更新产品实测参数及引脚定义错误	错误更新	WW	LYL	