



CD76AD06

8 通道 DAS，内置 16 位、双极性、同步采样 ADC

版本：Rev 1.0.0 日期：2025-10-15

产品特性

- 8 路同步采样输入
- 真双极性模拟输入范围：±10 V、±5 V
- 完全集成的数据采集解决方案
- ✧ 模拟输入箝位保护
- ✧ 具有 1 MΩ 模拟输入阻抗的输入缓冲器
- ✧ 二阶抗混叠模拟滤波器
- ✧ 片内精密基准电压及基准电压缓冲器
- ✧ 16 位、200 kSPS ADC（所有通道）
- ✧ 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
- ✧ SPI/QSPI™/MICROWIRE™/DSP 兼容
- 性能
- ✧ 模拟输入通道提供 7 kV ESD 额定值
- ✧ 95.5 dB SNR, -107 dB THD
- ✧ ±0.5 LSB INL, ±0.5 LSB DNL
- ✧ 低功耗：100 mW
- ✧ 待机模式：25 mW
- 温度范围：-40°C 至 +85°C
- ✧ 64 引脚 LQFP 封装

产品应用

- 电力线监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统(DAS)

产品描述

CBM76AD06 分别是 16 位、8 通道同步采样模数数据采集系统(DAS)。各器件均内置模拟输入箝位保护、二阶抗混叠滤波器、采样保持放大器、16 位电荷再分配逐次逼近模数转换器(ADC)、灵活的数字滤波器、2.5 V 基准电压源、基准电压缓冲以及高速串行和并行接口。

CBM76AD06 采用 5 V 单电源供电，可以处理±10 V 和±5 V 真双极性输入信号，同时所有通道均能以高达 200 kSPS 的吞吐速率采样。输入箝位保护电路可以耐受高达±16.5 V 的电压。无论以何种采样频

目录

产品特性

产品应用

产品描述

功能框图

电气特性

时序特性

时序图

绝对最大额定值

引脚配置及功能描述

典型应用特性

应用信息

封装外形及尺寸

包装/订购信息

修订日志

- 1 -

- 1 -

- 1 -

- 2 -

- 4 -

- 7 -

- 11 -

- 13 -

- 14 -

- 19 -

- 22 -

- 27 -

- 27 -

- 28 -

电气特性

除非另有说明, $V_{REF} = 2.5\text{ V}$ 外部/内部, $A_{VCC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.3\text{ V}$ 至 5.25 V , $f_{SAMPLE} = 200\text{ kSPS}$, $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$,

表 1.

参数	测试条件	最小值	典型值	最大值	单位
动态性能	除非另有说明, $f_{IN} = 1\text{ kHz}$ 正弦波	--	--	--	--
信噪比(SNR) ^{1, 2}	过采样率为 16 倍; $\pm 10\text{ V}$ 量程; $f_{IN} = 130\text{ Hz}$ 。	94	95.5	--	dB
	过采样率为 16 倍; $\pm 5\text{ V}$ 量程; $f_{IN} = 130\text{ Hz}$ 。	93	94.5	--	dB
	无过采样; $\pm 10\text{ V}$ 量程	88.5	90	--	dB
	无过采样; $\pm 5\text{ V}$ 量程	87.5	89	--	dB
信号至(噪声 +失真) (SINAD) ¹	无过采样; $\pm 10\text{ V}$ 量程	88	90	--	dB
	无过采样; $\pm 5\text{ V}$ 量程	87	89	--	dB
动态范围	无过采样; $\pm 10\text{ V}$ 量程	--	90.5	--	dB
	无过采样; $\pm 5\text{ V}$ 量程	--	90	--	dB
总谐波失真(THD) ¹	--	--	-107	-95	dB
峰值谐波或杂散噪声(SFDR) ¹	--	--	-108	--	dB
互调失真 (IMD) 1	$f_a = 1\text{ kHz}$, $f_b = 1.1\text{ kHz}$				
二阶	--	--	-110	--	dB
三阶	--	--	-106	--	dB
通道间隔离 ¹	未选定信道上的 f_{IN} 最高可达 160 kHz	--	-95	--	dB

模拟输入滤波器					
满功率带宽	-3 dB, ± 10 V 量程	--	23	--	kHz
	-3 dB, ± 5 V 量程	--	15	--	kHz
	-0.1 dB, ± 10 V 量程	--	10	--	kHz
	-0.1 dB, ± 5 V 量程	--	5	--	kHz
$t_{\text{GROUP DELAY}}$	± 10 V 量程	--	11	--	μs
	± 5 V 量程	--	15	--	μs
直流精度					
分辨率	无失码	--	16	--	Bits
微分非线性 ¹	--	--	± 0.5	± 0.99	LSB ³
积分非线性 ¹	--	--	± 0.5	± 2	LSB
总未调整误差 (TUE)	± 10 V 量程	--	± 6	--	LSB
	± 5 V 量程	--	± 12	--	LSB
正满刻度误差 ^{1, 4}	外部基准	--	± 8	± 32	LSB
	内部基准	--	± 8	--	LSB
正满刻度误差漂移	外部基准	--	± 2	--	ppm/ $^{\circ}\text{C}$
	内部基准	--	± 7	--	ppm/ $^{\circ}\text{C}$
正满刻度误差匹配 ¹	± 10 V 量程	--	5	32	LSB
	± 5 V 量程	--	16	40	LSB
双极零代码误差 ^{1, 5}	± 10 V 量程	--	± 1	± 6	LSB
	± 5 V 量程	--	± 3	± 12	LSB
双极零代码误差漂移	± 10 V 量程	--	10	--	$\mu\text{V}/^{\circ}\text{C}$
	± 5 V 量程	--	5	--	$\mu\text{V}/^{\circ}\text{C}$
双极零代码误差匹配 ¹	± 10 V 量程	--	1	8	LSB
	± 5 V 量程	--	6	22	LSB
负满刻度误差 ^{1, 4}	外部基准	--	± 8	± 32	LSB
	内部基准	--	± 8	--	LSB
正满刻度误差漂移	外部基准	--	± 4	--	ppm/ $^{\circ}\text{C}$
	内部基准	--	± 8	--	ppm/ $^{\circ}\text{C}$
正满刻度误差匹配 ¹	± 10 V 量程	--	5	32	LSB
	± 5 V 量程	--	16	40	LSB

模拟输入					
输入电压范围	量程 = 1	--	--	±10	V
	量程 = 0	--	--	±5	V
模拟输入电流	10V	--	5.4	--	μA
	5V	--	2.5	--	μA
输入电容 ⁶	--	--	5	--	pF
输入阻抗	请参阅模拟输入部分	--	1	--	MΩ
基准输入/输出					
基准输入电压范围	请参阅 ADC 传递函数部分	2.475	2.5	2.525	V
DC 漏电流		--	--	±1	μA
输入电容 ⁶	REF SELECT = 1	--	7.5	--	pF
基准输出电压	REFIN/REFOUT	--	2.49/ 2.505	--	V
基准温度系数	--	--	±10	--	ppm/°C
逻辑输入					
输入高电压 (V _{INH})	--	0.7 × V _{DRIVE}	--	--	V
输入低电压 (V _{INL})	--	--	--	0.3 × V _{DRIVE}	V
输入电流 (I _{IN})	--	--	--	±2	μA
输入电容 (C _{IN}) ⁶	--	--	5	--	pF
转换速率					
转换时间	包括所有八个频道; 见表 2	--	4	--	μs
跟踪和保持采集时间		--	1	--	μs
吞吐率	每个通道, 含全部八个通道	--	--	200	kSPS
电源					
A _{VCC}		4.75	--	5.25	V
V _{DRIVE}		2.3	--	5.25	V
I _{TOTAL}	数字输入 = 0 V or V _{DRIVE}				
正常模式(静态电流)		--	16	22	mA

正常模式(工作电流) ⁷	f _{SAMPLE} = 200 kSPS	--	20	27	mA
待机模式	--	--	5	8	mA
停机模式	--	--	2	6	μA
功耗					
正常模式(静态功耗)		--	80	115.5	mW
正常模式(工作功耗)	f _{SAMPLE} = 200 kSPS	--	100	142	mW
待机模式	--	--	25	42	mW
停机模式	--	--	10	31.5	μW

¹ 参见术语部分。

² 本规范适用于在转换期间或转换后进行读取。如果在并行模式下, V_{DRIVE} = 5 V 时在转换期间进行读取, SNR 通常会降低 1.5 dB, THD 降低 3 dB。

³ LSB 表示最小有效位。对于±5 V 输入范围, 1 LSB = 152.58 μV。对于±10 V 输入范围, 1 LSB = 305.175 μV。

⁴ 这些规格包括整个温度范围的变化和内部参考缓冲区的贡献, 但不包括外部参考的错误贡献。

⁵ 双极零码误差是相对于模拟输入电压计算的。参见模拟输入钳位保护部分。

⁶ 在最初发布时测试样本以确保符合性。

⁷ 工作功率/电流数字包括在过采样模式下运行时的贡献。

时序特性

除非另有说明, 否则 A_{VCC}=4.75 V 至 5.25 V, V_{DRIVE}=2.3 V 至 5.25V, V_{REF}=2.5 V 外部参考/内部参考, T_A=T_{MIN} 至 T_{MAX}。

表 2.

参数	T _{MIN} 、T _{MAX} 的极限 (0.1×V _{DRIVE} 和 0.9×V _{DRIVE} 逻辑输入电 平)			T _{MIN} 、T _{MAX} (0.3×V _{DRIVE} 和 0.7×V _{DRIVE} 逻辑输入电 平)			单位	描述
	最小 值	典型 值	最大 值	最小 值	典型 值	最大 值		
并行/串行/字节模式								
t _{CYCLE}	--	--	--	--	--	--	--	1/吞吐率
	--	--	5	--	--	5	μs	并行模式，转换期间或转换后读取；或 串行模式：V _{DRIVE} =3.3 V 至 5.25 V，在 使用 D _{OUTA} 和 D _{OUTB} 线的转换过程中 读取

	--	--	--	--	--	9.4	μs	转换后的串行模式读取; $V_{\text{DRIVE}} = 2.7 \text{ V}$
	--	--	9.7	--	--	10.7	μs	转换后的串行模式读取; $V_{\text{DRIVE}} = 2.3 \text{ V}$, D_{OUTA} 和 D_{OUTB} 线路
t_{CONV}^2								转换时间
t_{CONV}^2	3.45	4	4.2	3.45	4	4.2	μs	过采样关闭;
	--	3	--	--	3	--	--	过采样关闭;
	--	2	--	--	2	--	--	过采样关闭;
	7.87	--	9.1	7.87	--	9.1	μs	Oversampling by 2;
	16.05	--	18.8	16.05	--	18.8	μs	Oversampling by 4;
	33	--	39	33	--	39	μs	Oversampling by 8;
	66	--	78	66	--	78	μs	Oversampling by 16;
	133	--	158	133	--	158	μs	Oversampling by 32;
	257	--	315	257	--	315	μs	Oversampling by 64;
$t_{\text{WAKE-UP STANDBY}}$	--	--	100	--	--	100	μs	STBY 上升沿到 CONVST x 上升沿; 待机模式下的通电时间
$t_{\text{WAKE-UP SHUTDOWN}}$								
内部基准	--	--	30	--	--	30	ms	STBY 上升沿到 CONVST x 上升沿; 从关闭模式起的通电时间
外部基准	--	--	13	--	--	13	ms	STBY 上升沿到 CONVST x 上升沿; 从关闭模式起的通电时间
t_{RESET}	50	--	--	50	--	--	ns	RESET 高脉冲宽度
$t_{\text{OS_SETUP}}$	20	--	--	20	--	--	ns	BUSY 到 OS x 引脚设置时间
$t_{\text{OS_HOLD}}$	20	--	--	20	--	--	ns	BUSY 到 OS x 引脚保持时间
t_1		--	40	--	--	45	ns	CONVST x 高至 BUSY 高
t_2	25	--	--	25	--	--	ns	最小 CONVST x 低脉冲
t_3	25	--	--	25	--	--	ns	最小 CONVST x 高脉冲
t_4	0	--	--	0	--	--	ns	BUSY 下降沿到 CS 下降沿设置时间
t_5^3	--	--	0.5	--	--	0.5	ms	CONVST A、CONVST B 上升沿之间允许的最大延迟
t_6	--	--	25	--	--	25	ns	最后一个 CS 上升沿和 BUSY 下降沿之间的最长时间
t_7	--	25	--	--	25	--	ns	RESET 低到 CONVST x 高之间的最小延迟

并行/字节读取操作								
t_8	0			0			ns	CS 到 RD 设置时间
t_9	0			0			ns	CS 到 RD 保持时间
t_{10}	--	--	--	--	--	--	--	RD 低脉冲宽度
	16	--	--	19	--	--	ns	V_{DRIVE} 高于 4.75 V
	21	--	--	24	--	--	ns	V_{DRIVE} 高于 3.3 V
	25	--	--	30	--	--	ns	V_{DRIVE} 高于 2.7 V
	32	--	--	37	--	--	ns	V_{DRIVE} 高于 2.3 V
t_{11}	15	--	--	15	--	--	ns	RD 高脉冲宽度
t_{12}	22	--	--	22	--	--	ns	CS 高脉冲宽度 (见图 5) ; CS 和 RD 链接
t_{13}	--	--	--	--	--	--	--	从 CS 延迟到 DB[15:0]三态禁用
	--	--	16	--	--	19	ns	V_{DRIVE} 高于 4.75 V
	--	--	20	--	--	24	ns	V_{DRIVE} 高于 3.3 V
	--	--	25	--	--	30	ns	V_{DRIVE} 高于 2.7 V
	--	--	30	--	--	37	ns	V_{DRIVE} 高于 2.3 V
t_{14}^4	--	--		--	--	--	--	RD 下降沿后的数据访问时间
	--	--	16	--	--	19	ns	V_{DRIVE} 高于 4.75 V
	--	--	21	--	--	24	ns	V_{DRIVE} 高于 3.3 V
	--	--	25	--	--	30	ns	V_{DRIVE} 高于 2.7 V
	--	--	32	--	--	37	ns	V_{DRIVE} 高于 2.3 V
t_{15}	6	--	--	6	--	--	ns	RD 下降沿后的数据保持时间
t_{16}	6	--	--	6	--	--	ns	CS 至 DB[15:0]保持时间
t_{17}	--	--	22	--	--	22	ns	从 CS 上升沿到 DB[15:0]三态启用延迟
SERIAL READ OPERATION								
f_{SCLK}	--	--	--	--	--	--	--	串行读取时钟的频率
	--	--	23.5	--	--	20	MHz	V_{DRIVE} 高于 4.75 V
	--	--	17	--	--	15	MHz	V_{DRIVE} 高于 3.3 V
	--	--	14.5	--	--	12.5	MHz	V_{DRIVE} 高于 2.7 V
	--	--	11.5	--	--	10	MHz	V_{DRIVE} 高于 2.3 V

t_{18}	--	--	--	--	--	--	--	从 CS 延迟到 DOUTA/DOUTB 三态禁用/从 CS 延迟直到 MSB 有效
	--	--	15	--	--	18	ns	V_{DRIVE} 高于 4.75 V
	--	--	20	--	--	23	ns	V_{DRIVE} 高于 3.3 V
	--	--	30	--	--	35	ns	V_{DRIVE} 高于 2.7 V
t_{19}^4	--	--	--	--	--	--	--	SCLK 上升沿后的数据访问时间
	--	--	17	--	--	20	ns	V_{DRIVE} 高于 4.75 V
	--	--	23	--	--	26	ns	V_{DRIVE} 高于 3.3 V
	--	--	27	--	--	32	ns	V_{DRIVE} 高于 2.7 V
	--	--	34	--	--	39	ns	V_{DRIVE} 高于 2.3 V
t_{20}	0.4 t_{SCLK}	--	--	0.4 t_{SCLK}	--	--	ns	SCLK 低脉冲宽度
t_{21}	0.4 t_{SCLK}	--	--	0.4 t_{SCLK}	--	--	ns	SCLK 高脉冲宽度
t_{22}	7	--	--	7	--	--		SCLK 上升沿至 DOUTA/DOUTB 有效保持时间
t_{23}	--	--	22	--	--	22	ns	CS 上升沿至 DOUTA/DOUTB 三态启用
t_{24}							ns	从 CS 下降沿到 FRSTDATA 三态禁用的延迟
	--	--	15	--	--	18	ns	V_{DRIVE} 高于 4.75 V
	--	--	20	--	--	23	ns	V_{DRIVE} 高于 3.3 V
	--	--	25	--	--	30	ns	V_{DRIVE} 高于 2.7 V
	--	--	30	--	--	35	ns	V_{DRIVE} 高于 2.3 V
t_{25}	--	--	--	--	--	--	ns	从 RD 下降沿到 FRSTDATA 高的延迟
	--	--	15	--	--	18	ns	V_{DRIVE} 高于 4.75 V
	--	--	20	--	--	23	ns	V_{DRIVE} 高于 3.3 V
	--	--	25	--	--	30	ns	V_{DRIVE} 高于 2.7 V
	--	--	30	--	--	35	ns	V_{DRIVE} 高于 2.3 V
t_{26}	--	--	--	--	--	--	--	从 RD 下降沿到 FRSTDATA 高的延迟
	--	--	16	--	--	19	ns	V_{DRIVE} 高于 4.75 V

	--	--	20	--	--	23	ns	V_{DRIVE} 高于 3.3 V
	--	--	25	--	--	30	ns	V_{DRIVE} 高于 2.7 V
	--	--	30	--	--	35	ns	V_{DRIVE} 高于 2.3 V
t_{27}	--	--	--	--	--	--	--	从 RD 下降沿到 FRSTDATA 低的延迟
	--	--	19	--	--	22	ns	$V_{DRIVE} = 3.3\text{ V 至 } 5.25\text{V}$
	--	--	24	--	--	29	ns	$V_{DRIVE} = 2.3\text{ V 至 } 2.7\text{V}$
t_{28}	--	--	--	--	--	--	--	从第 16 个 SCLK 下降沿到 FRSTDATA 低的延迟
	--	--	17	--	--	20	ns	$V_{DRIVE} = 3.3\text{ V 至 } 5.25\text{V}$
	--	--	22	--	--	27	ns	$V_{DRIVE} = 2.3\text{ V 至 } 2.7\text{V}$
t_{29}	--	--	24	--	--	29	ns	从 CS 上升沿到 FRSTDATA 三态启用的延迟

¹ 在初始发布时测试样本以确保符合性。所有输入信号均指定为 $t_R = t_F = 5\text{ ns}$ (V_{DRIVE} 的 10%至 90%), 并从 1.6 V 的电压水平计时。

² 在过采样模式下, CD76AD06 的典型 t_{CONV} 可以使用 $((N \times t_{CONV}) + ((N - 1) \times 1\text{ }\mu\text{s}))$ 计算得出。
N 是过采样比率。

³ CONVST x 信号之间的延迟被测量为确保通道集之间<10 LSB 性能匹配的最大允许时间。

⁴ 在这些测量中, 数据输出引脚上使用了一个缓冲器, 这相当于输出引脚上的 20 pF 负载。

时序图

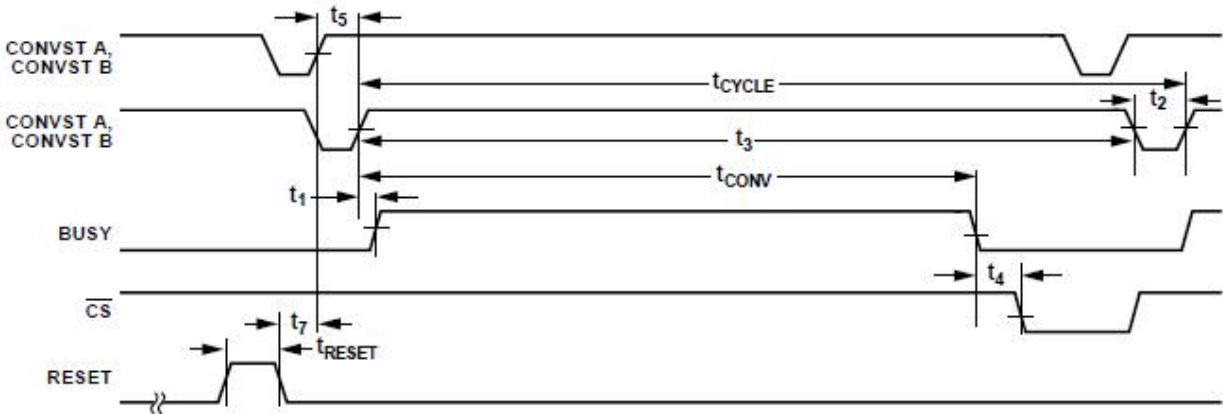


图 2. CONVST 时序——转换后的读取

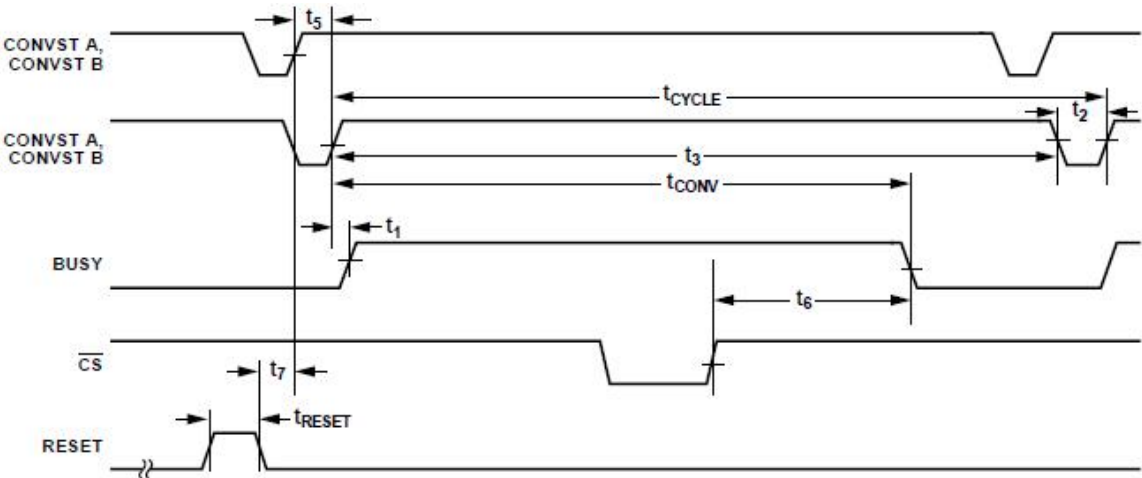


图 3. CONVST 时序——转换期间的读取

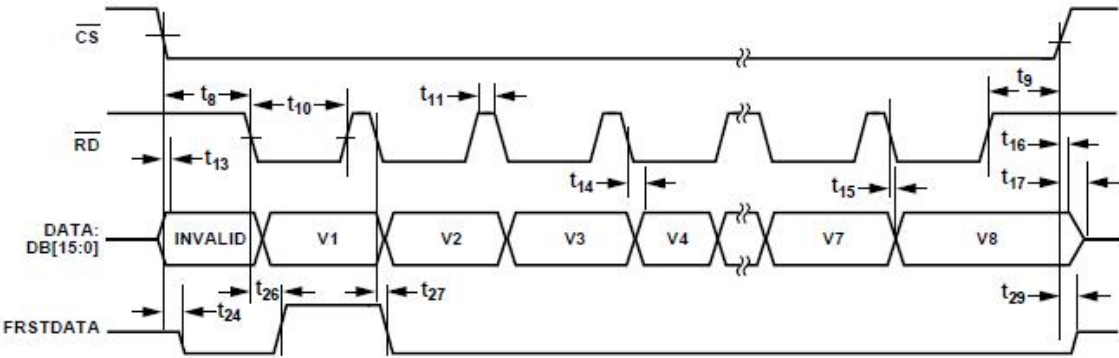


图 4. 并行模式，分离 CS 和 RD 脉冲

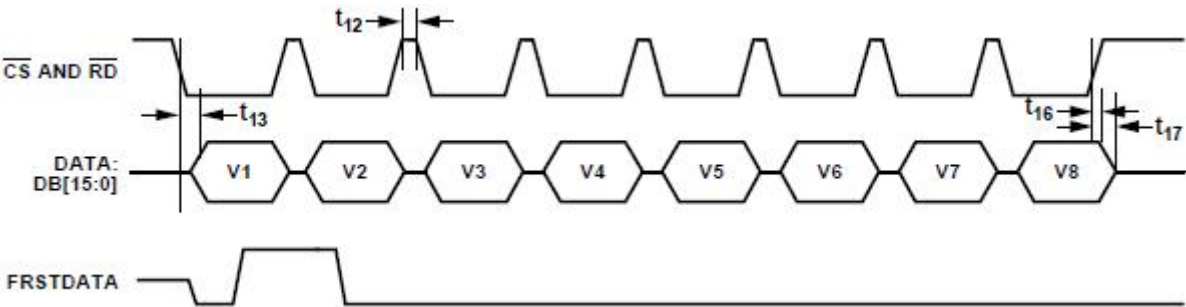


图 5. CS 和 RD，链接并行模式

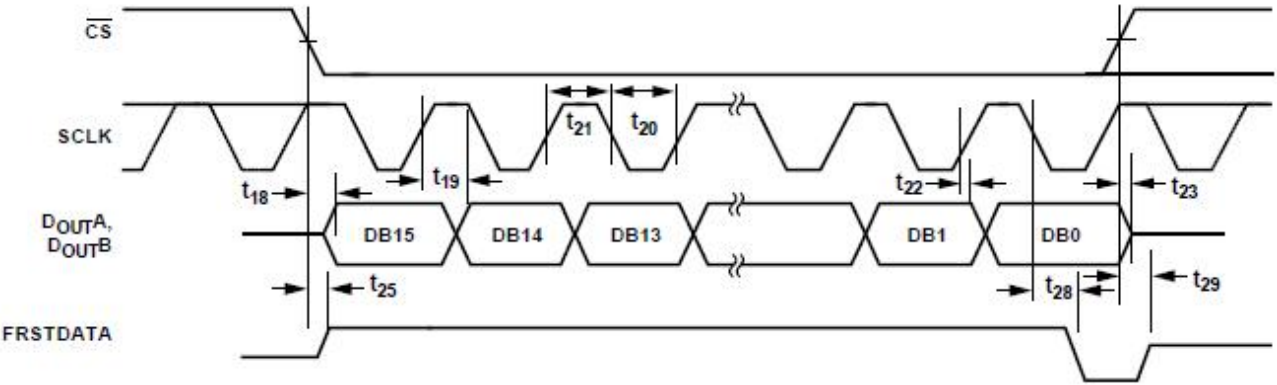


图 6. 串行读取操作 (通道 1)

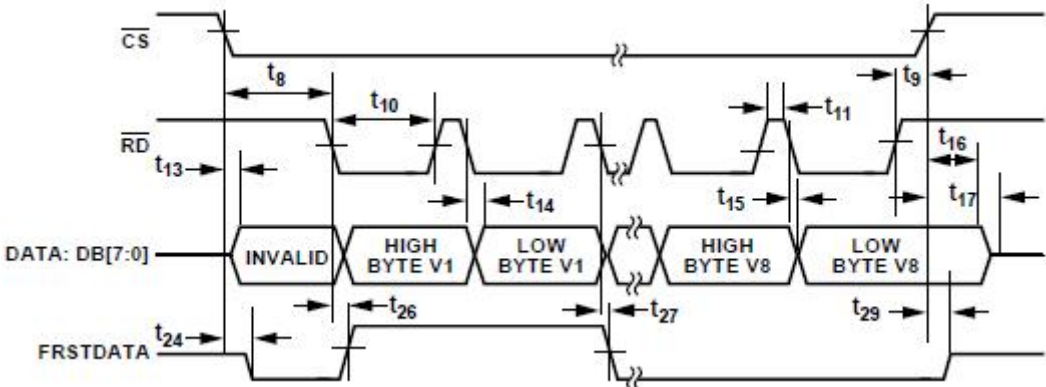


图 7. BYTE 模式读取操作

绝对最大额定值

参数	额定值
AV _{CC} 至 AGND	-0.3 V 至 +7 V
V _{DRIVE} 至 AGND	-0.3 V 至 AV _{CC} +0.3 V
至 AGND ¹ 的模拟输入电压	±16.5 V
至 AGND 的数字输入电压	-0.3 V 至 V _{DRIVE} + 0.3 V
至 AGND 的数字输出电压	-0.3 V 至 V _{DRIVE} + 0.3 V
REFIN to AGND	-0.3 V to AV _{CC} + 0.3 V
输入电流至除电源以外的任何引脚	±10 mA
工作温度范围	-40°C 至 +85°C
存储温度	-65°C 至 +150°C
结温	150°C
Pb/SN 温度, 焊接回流 (10 秒至 30 秒)	240 (+0)°C
无铅温度, 焊接回流	260 (+0)°C
ESD (除模拟输入外的所有引脚)	2 kV

ESD (仅限模拟输入引脚)	7 kV
----------------	------

¹ 高达 100 mA 的瞬态电流不会导致 SCR 闭锁。在绝对最大额定值下或之上的压力可能会对产品造成永久性损坏。这只是一个压力等级；并不意味着该产品在这些条件下或在本规范操作部分所指示的任何其他条件之上能够功能性运行。长时间超出最大工作条件的操作可能会影响产品的可靠性。

热阻：θJA 适用于最坏情况，即焊接在表面安装封装电路板中的设备。这些规范适用于 4 层板。

封装形式	θ JA	θ JC	单位
LQFP-64	45	11	(°C/W) ¹

引脚配置及功能描述

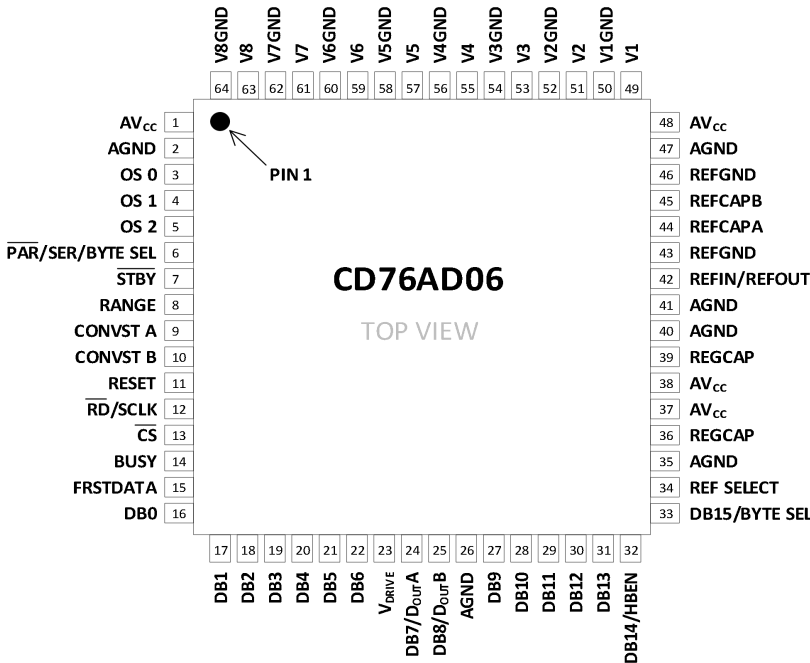


图 4. 引脚配置，俯视图

INL 和 DNL 测试曲线如图 3 所示。输入模拟频率为 100MHz 且采样率为 250MSPS 的 FFT 如图 4 所示。输入模拟频率为 170MHz 且采样率为 250MSPS 的 FFT 如图 5 所示。输入模拟频率为 230MHz 且采样率为 250MSPS 的 FFT 如图 6 所示。输入模拟频率为 300MHz 且采样率为 250MSPS 的 FFT 如图 7 所示。带宽测试如图 4 所示。

引脚功能描述

引脚编号.	符号	描述
1,37,38,48	AVCC	模拟供电电压，4.75 V 至 5.25 V。此电源电压被应用于内部前端放大器和 ADC 核心。这些供电引脚应与 AGND 去耦。
2,26,35,40,41,47	AGND	模拟地。这些引脚是 CD76AD06 上所有模拟电路的接地参考

		点。所有模拟输入信号和外部参考信号都应参照这些引脚。这六个 AGND 引脚都应连接到一起。
5,4,3	OS [2:0]	过采样模式引脚。逻辑输入。这些输入用于选择过采样比率。OS 2 是 MSB 控制位，而 OS 0 是 LSB 控制位。有关过采样操作模式的更多详细信息，请参阅数字滤波器部分，以及表 5 了解过采样位解码。
6	PAR/SER/ BYTE SEL	并行/串行/字节接口选择输入。逻辑输入。如果此引脚接地，则选择并行接口。如果此引脚接高电平，则选择串行接口。当此引脚和 DB15/BYTE SEL 都为逻辑高电平时，选择并行字节接口模式（参见表 4）。在串行模式下，RD/SCLK 引脚作为串行时钟输入。DB7/DOUTA 引脚和 DB8/DOUTB 引脚作为串行数据输出。当选择串行接口时，DB[15:9]和 DB[6:0]引脚应接地。在字节模式下，DB15 与 PAR/SER/BYTE SEL 一起用于选择并行字节操作模式（参见表 4）。DB14 用作 HBEN 引脚。DB[7:0]通过两次 RD 操作传输 16 位转换结果，其中 DB0 作为数据传输的 LSB。
7	STBY	待机模式输入。此引脚用于将 CBM76AD06 置于两种省电模式之一：待机模式或关闭模式。根据 RANGE 引脚的状态进入相应的省电模式，如表 3 所示。在待机模式下，除片上基准、调节器和调节器缓冲器外的所有电路都被断电。在关闭模式下，所有电路都被断电。
8	RANGE	模拟输入范围选择。逻辑输入。此引脚的极性决定了模拟输入通道的输入范围。如果此引脚接地，则所有通道的模拟输入范围为 $\pm 10\text{ V}$ 。如果此引脚接高电平，则所有通道的模拟输入范围为 $\pm 5\text{ V}$ 。此引脚上的逻辑变化会立即影响模拟输入范围。在转换期间更改此引脚不适用于快速吞吐量应用。有关更多信息，请参阅模拟输入部分。
9,10	CONVST A, CONVST B	转换开始输入 A、转换开始输入 B。逻辑输入。这些逻辑输入用于启动模拟输入通道上的转换。对于所有输入通道的同时采样，CONVST A 和 CONVST B 可以短接在一起，并应用单个转换开始信号。或者，可以使用 CONVST A 来启动同时采样：V1、V2、V3 和 V4（CBM76AD06）；使用 CONVST B 来启动其他模拟输入的同步采样：V5、V6、V7 和 V8（CBM76AD06）。这只有在在不切换过采样时才可能实现。当 CONVST A 或 CONVST B 引脚从低电平变为高电平时，相应

		的模拟输入的前级跟踪和保持电路将被设置为保持状态。
11	RESET	复位输入。当设置为逻辑高电平时，RESET 的上升沿将复位 CBM76AD06。设备应在上电后立即接收一个复位脉冲。复位高电平脉冲通常应为 50 ns 宽。如果在转换期间应用了复位脉冲，则转换将被中止。如果在读取期间应用了复位脉冲，则输出寄存器的内容将重置为零。
12	RD/SCLK	并行数据读取控制输入 (RD) /串行时钟输入 (SCLK)，当选择并行接口时使用。在并行模式下，当 CS 和 RD 都为逻辑低电平时，输出总线被启用。在串行模式下，该引脚充当数据传输的串行时钟输入。CS 下降沿将 DOUTA 和 DOUTB 数据线从三态状态中取出，并输出转换结果的最高有效位 (MSB)。SCLK 的上升沿将所有后续数据位锁存到 DOUTA 和 DOUTB 串行数据输出上。有关更多信息，请参阅转换控制部分。
13	CS	芯片选择。这个低电平有效的逻辑输入控制数据转换的帧。在并行模式下，当 CS 和 RD 都为逻辑低电平时，DB[15:0]输出总线被启用，并将转换结果输出到并行数据总线线上。在串行模式下，CS 用于控制串行读取传输，并输出串行输出数据的 MSB。
14	BUSY	Busy 输出。在 CONVST A 和 CONVST B 的上升沿之后，该引脚会变为逻辑高电平，表示转换过程已经开始。BUSY 输出保持高电平，直到所有通道的转换过程都完成。BUSY 下降沿表示转换数据被锁存到输出数据寄存器中，并在时间 t4 后可供读取。在 BUSY 为高电平时读取的任何数据必须在 BUSY 下降沿发生之前完成。当 BUSY 信号为高电平时，CONVST A 或 CONVST B 的上升沿无效。
15	FRSTDATA	数字输出。FRSTDATA 输出信号表示在并行、字节或串行接口上读取第一个通道 V1 时的状态。当 CS 输入为高电平时，FRSTDATA 输出引脚处于三态。CS 的下降沿将 FRSTDATA 从三态中取出。在并行模式下，对应于 V1 结果的 RD 的下降沿将 FRSTDATA 引脚设置为高电平，表示 V1 的结果可以在输出数据总线上获得。FRSTDATA 输出在下一个 RD 的下降沿后返回逻辑低电平。在串行模式下，FRSTDATA 在 CS 的下降沿变为高电平，因为这是在 DOUTA 上输出 V1 的最高有效位 (MSB)。在 CS 下降沿后的第 16 个 SCLK 下降沿后，它返回低电平。有关更多详细信息，请参阅转换控制部分。

22 to 16	DB[6:0]	并行输出数据位，DB6 到 DB0。当 PAR/SER/BYTE SEL = 0 时，这些引脚充当三态并行数字输入/输出引脚。当 CS 和 RD 为低电平时，这些引脚用于输出转换结果的 DB6 到 DB0。当 PAR/SER/BYTE SEL = 1 时，这些引脚应连接到 AGND。在并行字节接口模式下操作时，DB[7:0]通过两个 RD 操作输出 16 位转换结果。DB7（引脚 24）是最高有效位；DB0 是最低有效位。
23	V _{DRIVE}	逻辑电源输入。此引脚上提供的电压（2.3 V 至 5.25 V）决定了接口的运行电压。该引脚名义上与主机接口的供电相同（即，DSP 和 FPGA）。
24	DB7/DOUTA	并行输出数据位 7（DB7）/串行接口数据输出引脚（DOUTA）。当 PAR/SER/BYTE SEL = 0 时，此引脚充当三态并行数字输入/输出引脚。当 CS 和 RD 为低电平时，此引脚用于输出转换结果的 DB7。当 PAR/SER/BYTE SEL = 1 时，此引脚作为 DOUTA 并输出串行转换数据（有关更多详细信息，请参阅转换控制部分）。在并行字节模式下操作时，DB7 是字节的最高有效位。
25	DB8/DOUTB	并行输出数据位 8（DB8）/串行接口数据输出引脚（DOUTB）。当 PAR/SER/BYTE SEL = 0 时，此引脚充当三态并行数字输入/输出引脚。当 CS 和 RD 为低电平时，此引脚用于输出转换结果的 DB8。当 PAR/SER/BYTE SEL = 1 时，此引脚作为 DOUTB 并输出串行转换数据（有关更多详细信息，请参阅转换控制部分）。
31 to 27	DB[13:9]	并行输出数据位，DB13 到 DB9。当 PAR/SER/BYTE SEL = 0 时，这些引脚充当三态并行数字输入/输出引脚。当 CS 和 RD 为低电平时，这些引脚用于输出转换结果的 DB13 到 DB9。当 PAR/SER/BYTE SEL = 1 时，这些引脚应连接到 AGND。
32	DB14/ HBEN	并行输出数据位 14（DB14）/高字节使能（HBEN）。当 PAR/SER/BYTE SEL = 0 时，此引脚充当三态并行数字输出引脚。当 CS 和 RD 为低电平时，此引脚用于输出转换结果的 DB14。当 PAR/SER/BYTE SEL = 1 且 DB15/BYTE SEL = 1 时，CBM76AD06 在并行字节接口模式下运行。在并行字节模式下，HBEN 引脚用于选择转换结果的最高有效字节（MSB）或最低有效字节（LSB）是否先输出。当 HBEN = 1 时，先输出 MSB，然后是 LSB。当 HBEN = 0 时，先输出 LSB，然后

		是 MSB。在串行模式下，此引脚应连接到 GND。
33	DB15/ BYTE SEL	并行输出数据位 15 (DB15) /并行字节模式选择 (BYTE SEL)。当 PAR/SER/BYTE SEL = 0 时，此引脚充当三态并行数字输出引脚。当 CS 和 RD 为低电平时，此引脚用于输出转换结果的 DB15。当 PAR/SER/BYTE SEL = 1 时，BYTE SEL 引脚用于在串行接口模式和并行字节接口模式之间进行选择 (参见表 4) 。当 PAR/SER/BYTE SEL = 1 且 DB15/BYTE SEL = 0 时，CBM76AD06 在串行接口模式下运行。当 PAR/SER/BYTE SEL = 1 且 DB15/BYTE SEL = 1 时，CD76AD06 在并行字节接口模式下运行。
34	REF SELECT	内部/外部参考选择输入。逻辑输入。如果此引脚设置为逻辑高电平，则选择并启用内部参考。如果此引脚设置为逻辑低电平，则禁用内部参考，必须将外部参考电压应用于 REFIN / REFOUT 引脚。
36,39	SEROUT0-	解耦电容引脚用于从内部调节器输出电压。这些输出引脚应分别使用 1 μ F 电容器与 AGND 进行去耦。这些引脚上的电压范围为 2.5V 至 2.7V。
42	REGCAP	参考输入 (REFIN) /参考输出 (REFOUT)。如果将 REF SELECT 引脚设置为逻辑高电平，则该引脚上可用的片内 2.5V 参考电压可用于外部使用。另外，通过将 REF SELECT 引脚设置为逻辑低电平，可以禁用内部参考，并将 2.5V 的外部参考应用于此输入 (请参阅内部/外部参考部分)。对于内部和外部参考选项，都需要在此引脚上进行去耦。应将 10 μ F 电容器从该引脚连接到接近 REFGND 引脚的地面。
43,46	REFGND	参考地引脚。这些引脚应连接到 AGND。
44,45	REFCAPA, REFCAPB	参考缓冲输出强制/感应引脚。这些引脚必须连接在一起，并使用低 ESR、10 μ F 陶瓷电容器与 AGND 去耦。这些引脚上的电压通常为 4.5V。
49	V1	模拟输入。该引脚是单端模拟输入。该通道的模拟输入范围由 RANGE 引脚确定。
50,52	V1GND, V2GND	模拟输入地引脚。这些引脚对应于模拟输入引脚 V1 和模拟输入引脚 V2。所有模拟输入 AGND 引脚应连接到系统的 AGND 平面。
51	V2	模拟输入。该引脚是单端模拟输入。该通道的模拟输入范围由 RANGE 引脚确定。

53	V3	模拟输入 3。这是一个 AGND 引脚。
54	V3GND	模拟输入地引脚。这是一个 AGND 引脚。
55	V4	模拟输入 4。这是一个 AGND 引脚。
56	V4GND	模拟输入地引脚。所有模拟输入 AGND 引脚应连接到系统的 AGND 平面。
57	V5	模拟输入。这些引脚是单端模拟输入。这些通道的模拟输入范围由 RANGE 引脚确定。
58	V5GND	模拟输入地引脚。所有模拟输入 AGND 引脚应连接到系统的 AGND 平面。
59	V6	模拟输入。这些引脚是单端模拟输入。
60	V6GND	模拟输入地引脚。所有模拟输入 AGND 引脚应连接到系统的 AGND 平面。
61	V7	模拟输入引脚。这是一个 AGND 引脚。
62	V7GND	模拟输入地引脚。这是一个 AGND 引脚。
63	V8	模拟输入引脚。这是一个 AGND 引脚。
64	V8GND	模拟输入地引脚。这是一个 AGND 引脚。

典型应用特性

温度范围为-40°C 至+85°C。CBM76AD06 在 105°C 下仍可正常工作，但吞吐量率<160 kSPS。规格仅在-0°C 至+85°C 的操作温度范围内得到保证。

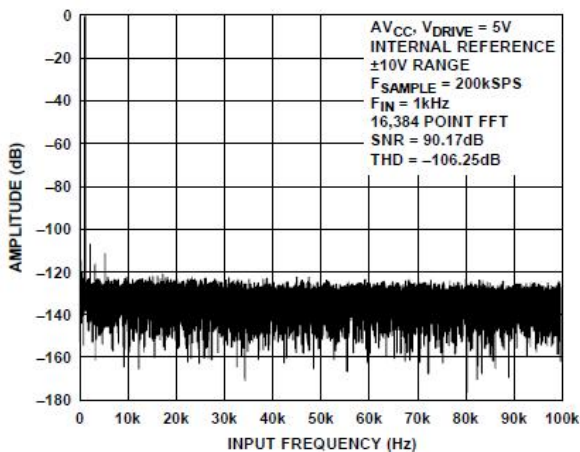


图 5. 快速傅里叶变换 (FFT) ， ±10 V 范围

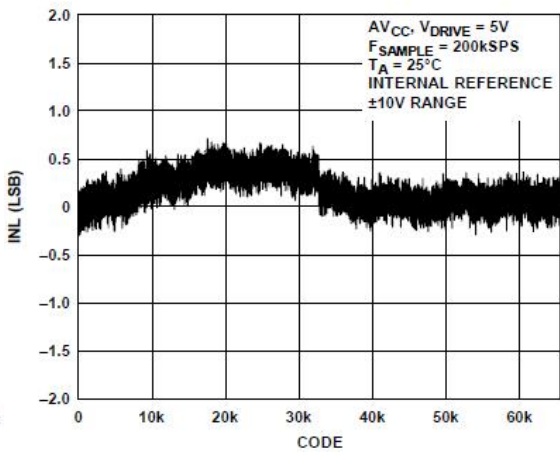


图 6. 典型积分非线性误差， ±10 V

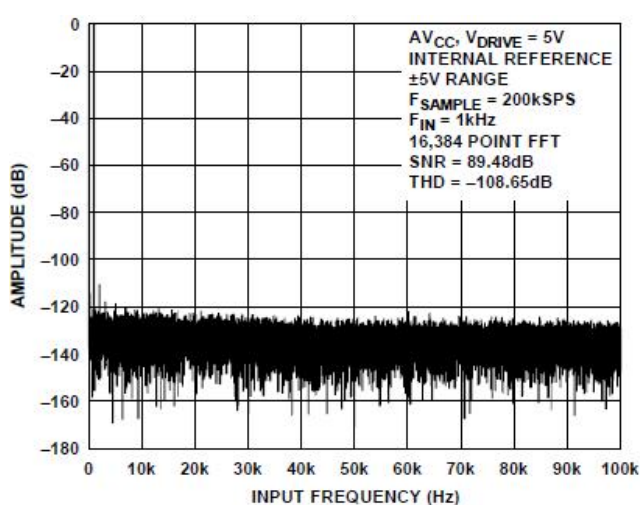


图 7.快速傅里叶变换 (FFT) 图, ± 5 V

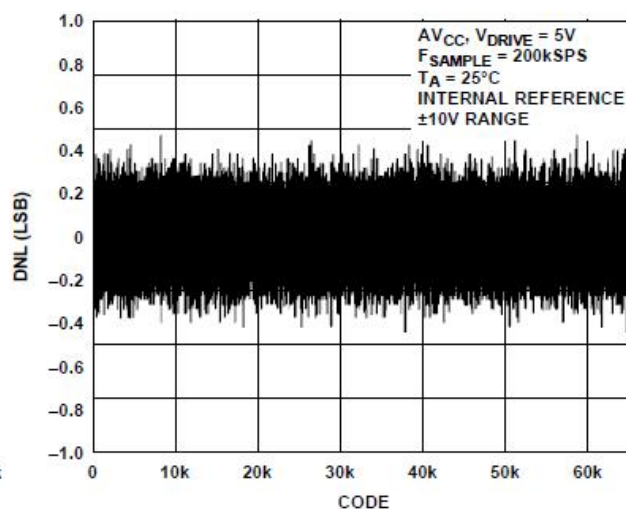


图 8.典型微分非线性误差, ± 5 V

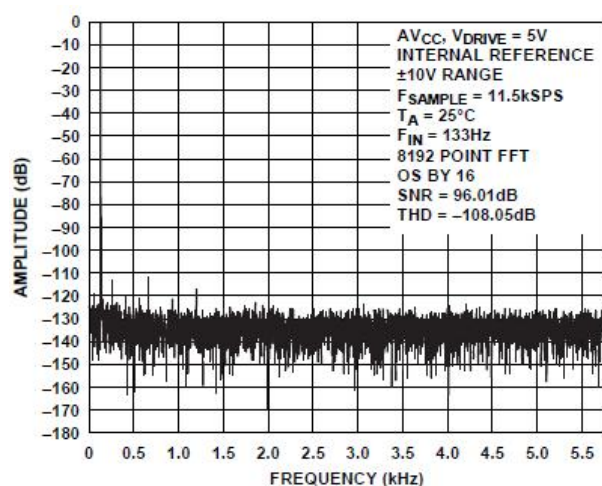


图 9.快速傅里叶变换 (FFT) 图, 过采样率 16 倍, ± 10 V

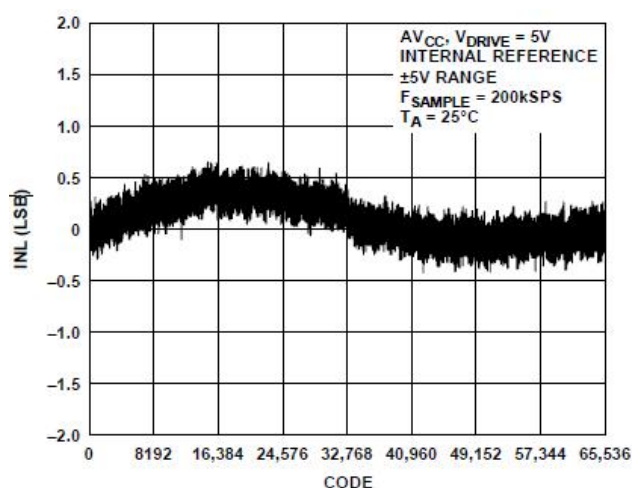


图 10.典型积分非线性误差, ± 5 V

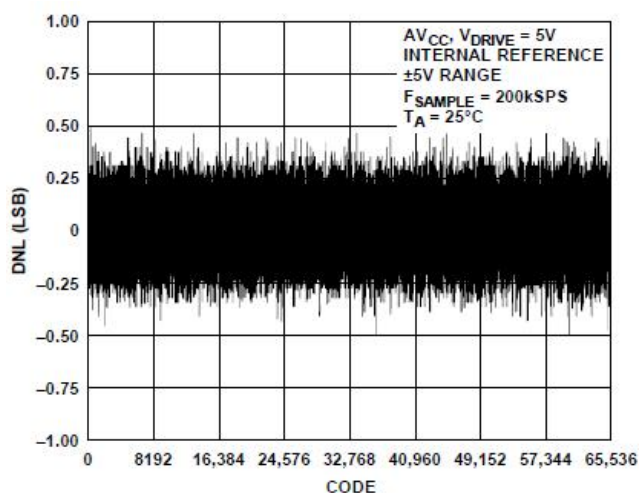


图 11.典型微分非线性误差, ± 5 V

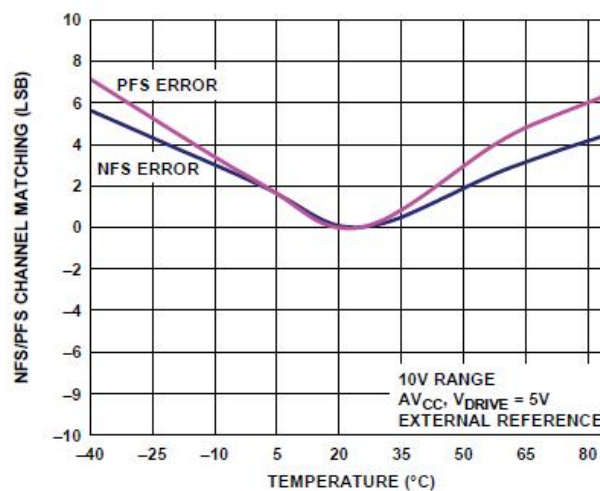


图 12.负满度误差和正满度误差匹配

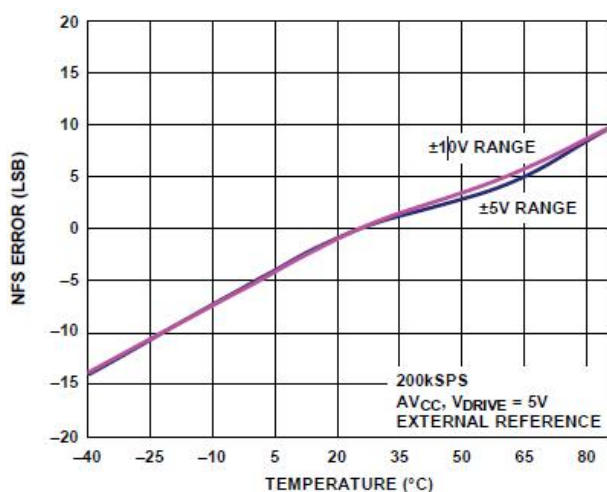


图 13.负满度误差与温度的关系

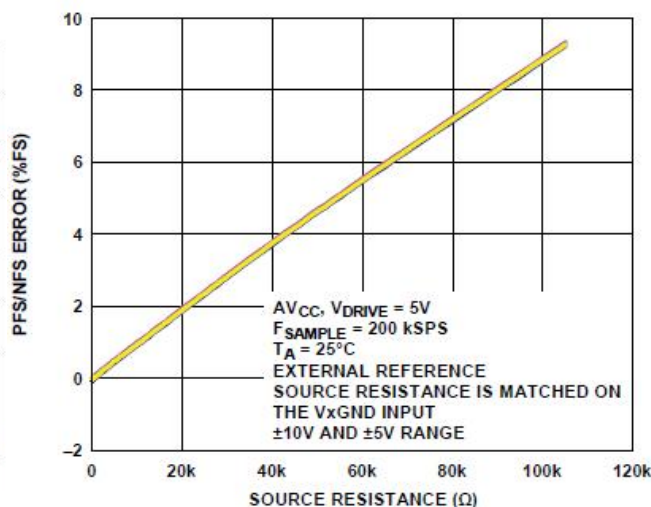


图 14.正满度误差和负满度误差与源电阻的关系

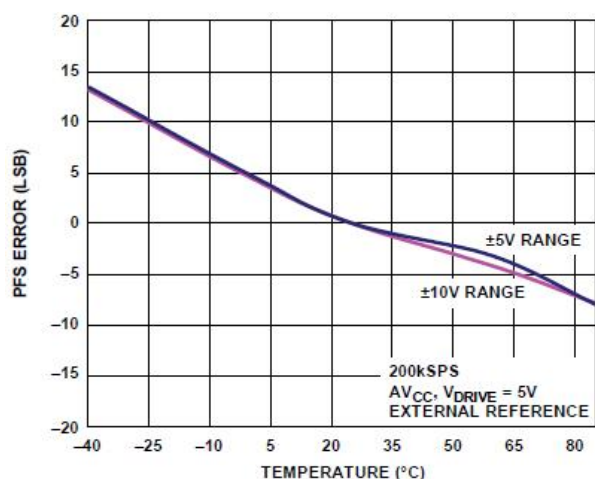


图 15.电源故障信号 (PFS) 误差与温度的关系

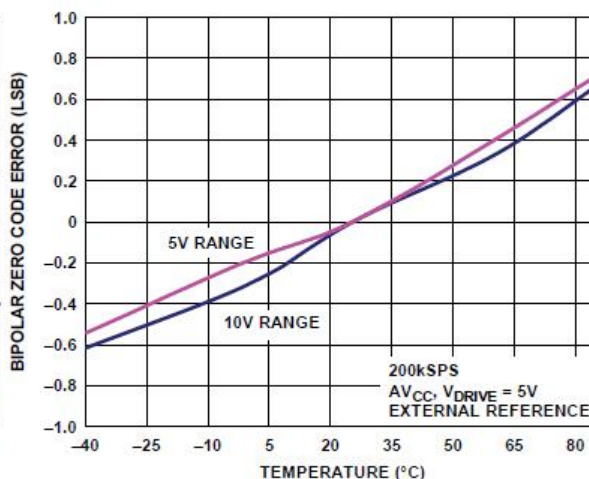


图 16.双极零码误差与温度的关系

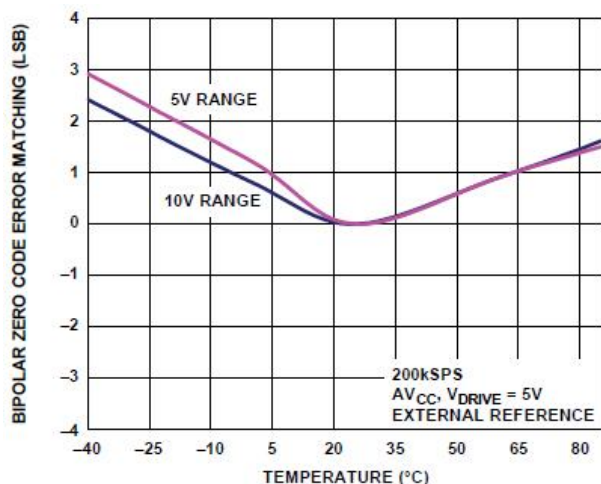


图 17.双极零码误差匹配在通道间的表现

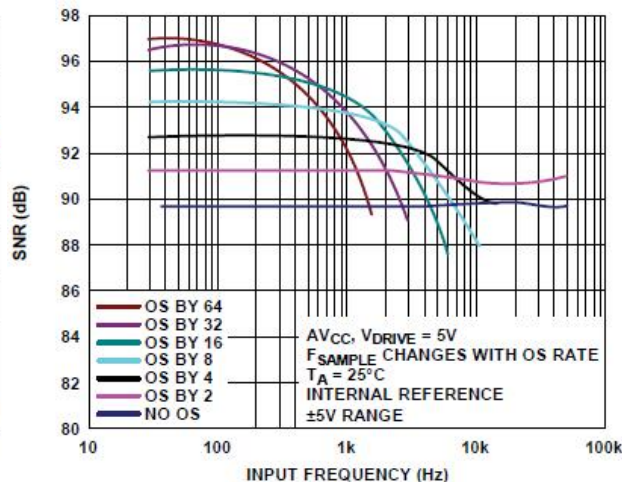


图 18. 不同过采样率下的 SNR 与输入频率的关系,

±5 V

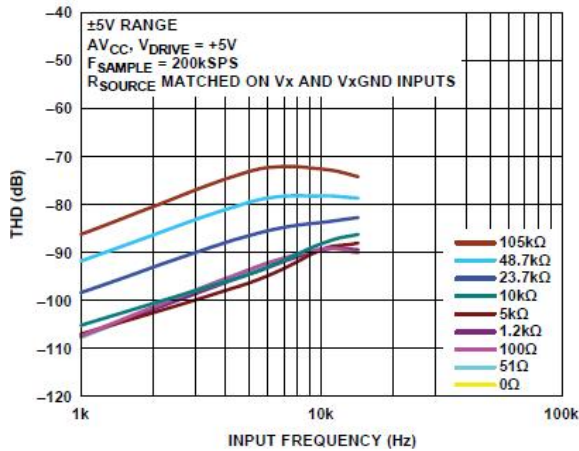


图 19. THD vs. 不同信号源的输入频率

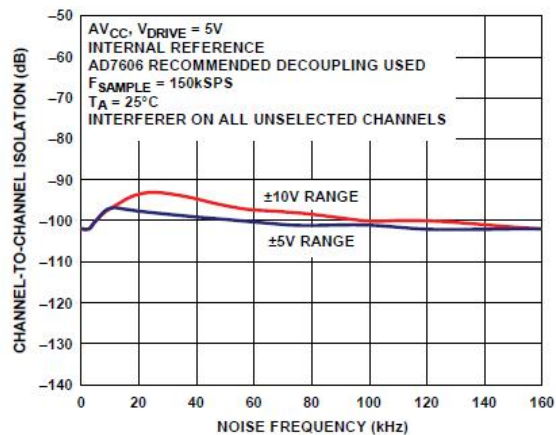
Impedances, ± 5 V Range

图 20. 通道间隔离

应用信息

内部/外部基准

CD76AD06 包含一个片上 2.5V 带隙基准源。REFIN/REFOUT 引脚允许访问内部生成的 4.5V 基准源，或者允许将 2.5V 的外部基准源应用于 CD76AD06。外部应用的 2.5V 基准源也会被内部缓冲器增益到 4.5V。这个 4.5V 的缓冲基准源是 SAR ADC 使用的基准源。

REF SELECT 引脚是一个逻辑输入引脚，允许用户在内部基准和外部基准之间选择。如果此引脚设置为逻辑高电平，则选择并启用内部基准。如果此引脚设置为逻辑低电平，则禁用内部基准，并且必须在 REFIN/REFOUT 引脚上施加外部参考电压。内部参考缓冲器始终启用。复位后，CD76AD06 按照 REF SELECT 引脚选择的参考模式操作。REFIN/REFOUT 引脚在内部和外部参考选项上都需要去耦。REFIN/REFOUT 引脚需要一个 10 μ F 陶瓷电容器。

CD76AD06 包含一个参考缓冲器，配置为将 REF 电压增益到约 4.5V，如图 21 所示。REFCAPA 和 REFCAPB 引脚必须在外短路，并在 REFGND 上施加一个 10 μ F 陶瓷电容器，以确保参考缓冲器处于闭环操作。REFIN/REFOUT 引脚上的参考电压为 2.5V。当 CD76AD06 配置为外部参考模式时，REFIN/REFOUT 引脚是一个高输入阻抗引脚。对于使用多个 CD76AD06 设备的应用程序，根据应用需求推荐以下配置。

外部参考模式 一个 ADR421 外部参考可以用于驱动所有 CD76AD06 设备的 REFIN/REFOUT 引脚（见图 22）。在这种配置中，每个 CD76AD06 的 REFIN/REFOUT 引脚应至少用 100nF 去耦电容进行去耦。

内部参考模式 一个配置为内部参考模式的 CD76AD06 设备，可以用于驱动其余配置为外部参考模式的 CD76AD06 设备（见图 23）。配置为内部参考模式的 CD76AD06 的 REFIN/REFOUT 引脚，应使用 10 μ F

陶瓷去耦电容进行去耦。其他配置为外部参考模式 CD76AD06 设备，在其 REFIN/REFOUT 引脚上应至少使用 100nF 去耦电容。

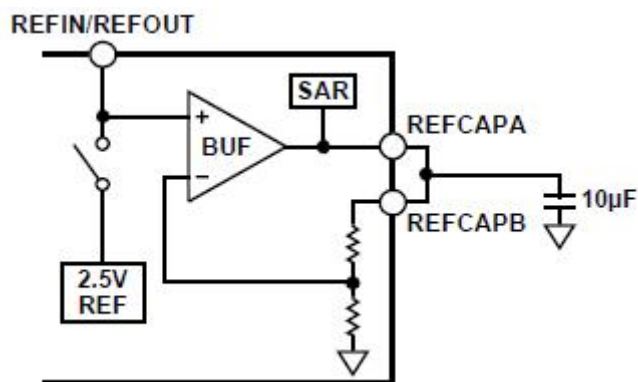


图 21. 基准电路

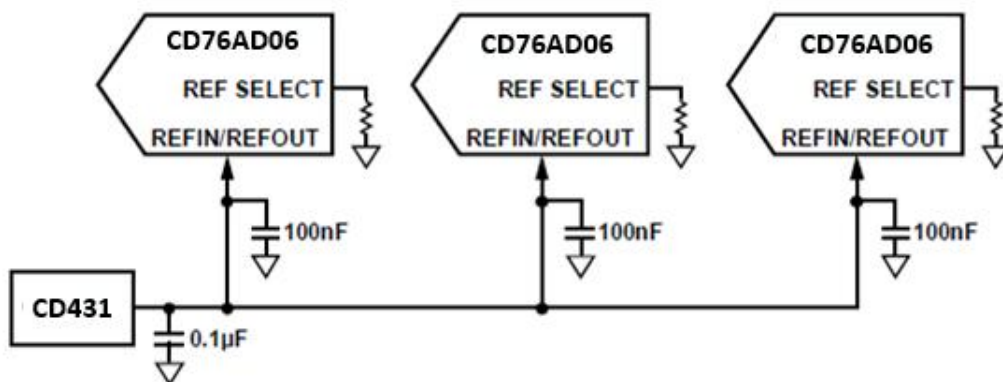


图 22. 单一外部参考驱动多个 CD76AD06 的 REFIN 引脚

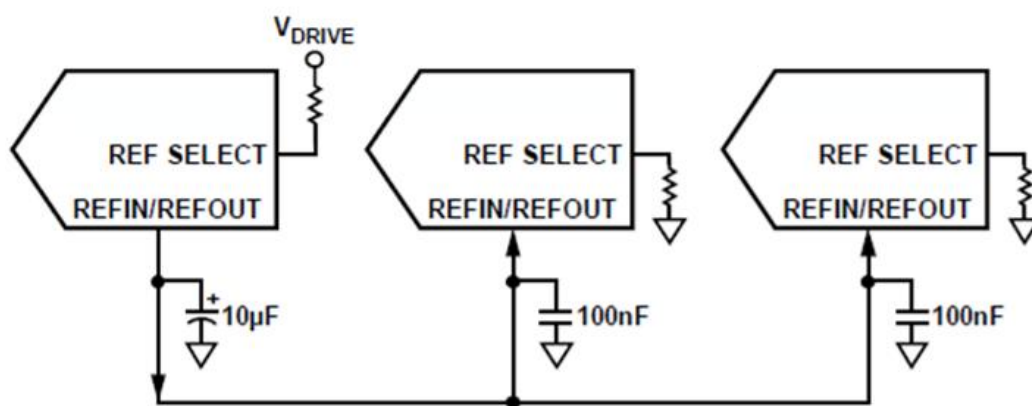


图 23. 内部参考驱动多个 CD76AD06 的 REFIN 引脚

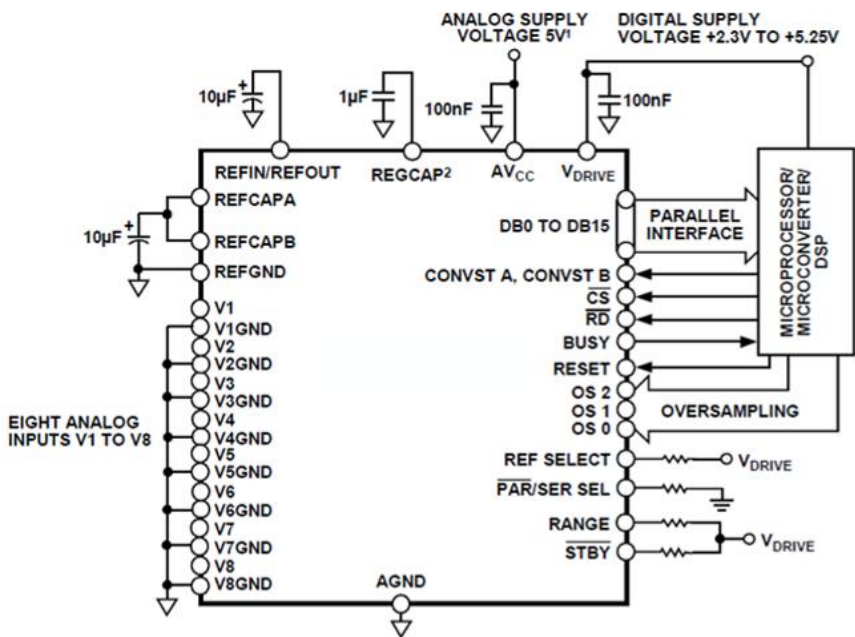


图 24. CBM76AD06 典型连接图

图 24 展示了 CD76AD06 的典型连接图。部件上有四个 AVCC 供电引脚,每个供电引脚应使用 100nF 电容器去耦,并且在供电源处使用 10µF 电容器去耦。CD76AD06 可以使用内部参考或外部应用参考运行。在此配置中,CD76AD06 设置为使用内部参考运行。当在板上使用单个 CD76AD06 设备时,REFIN/REFOUT 引脚应使用 10µF 电容器去耦。在使用多个 CD76AD06 设备的应用程序时,请参阅内部/外部参考部分。REFCAPA 和 REFCAPB 引脚短路在一起,并使用 10µF 陶瓷电容器去耦。V_{DRIVE} 电源与处理器的电源相连。V_{DRIVE} 电压控制输出逻辑信号的电压值。关于布局、去耦和接地提示,请参阅布局指南部分。在向 CD76AD06 供电后,应向其施加复位信号,以确保其配置为正确的操作模式。

断电模式 CD76AD06 上有两种断电模式:待机模式和关闭模式。STBY 引脚控制 CD76AD06 是处于正常模式还是两种断电模式之一。断电模式通过 STBY 引脚为低电平时 RANGE 引脚的状态来选择。表 3 显示了选择所需断电模式所需的配置。当 CD76AD06 置于待机模式时,最大电流消耗为 8mA,上电时间约为 100µs,因为 REFCAPA 和 REFCAPB 引脚上的电容器必须充电。在待机模式下,片上参考和调节器保持通电,放大器和 ADC 核心断电。当 CD76AD06 置于关闭模式时,最大电流消耗为 6µA,上电时间约为 13ms (外部参考模式)。在关闭模式下,所有电路都会断电。从关闭模式上电后,必须在所需的上电时间过后向 CD76AD06 施加 RESET 信号。

表 3. 断电模式选择

断电模式	STBY	RANGE
Standby	0	1
Shutdown	0	0

转换控制

所有模拟输入通道的同步采样

CD76AD06 允许对所有模拟输入通道进行同步采样。当两个 CONVST 引脚 (CONVST A、CONVST B) 连接在一起时, 所有通道都会同步采样。一个单独的 CONVST 信号被用来控制两个 CONVST x 输入。这

个公共 CONVST 信号的上升沿启动了所有模拟输入通道 (对于 CBM76AD06 是 V1 到 V8, 对于 CBM76AD06-6 是 V1 到 V6, 对于 CBM76AD06-4 是 V1 到 V4) 的同步采样。CBM76AD06 包含一个片上振荡器, 用于执行转换操作。所有 ADC 通道的转换时间为 t_{CONV} 。BUSY 信号向用户指示何时正在进行转换, 因此当应用 CONVST 的上升沿时, BUSY 变为逻辑高电平, 并在整个过程结束时变为低电平。BUSY 信号的下降沿被用来将所有八个跟踪保持放大器重新置于跟踪模式。BUSY 的下降沿还表明现在可以以从并行总线(DB[15:0])、DOUTA 和 DOUTB 串行数据线或并行字节总线

DB[7:0]读取新数据。

同时采样两组通道

CD76AD06 还允许将模拟输入通道分成两组进行同步采样。这可以用于电力线保护和测量系统, 以补偿由 PT 和 CT 变压器引入的相位差。在 50Hz 系统中, 这可以实现多达 9° 的相位补偿; 在 60Hz 系统中, 可以实现多达 10° 的相位补偿。这是通过独立脉冲两个 CONVST 引脚实现的, 只有在不使用过采样时才可能实现。CONVST A 用于启动第一组通道 (对于 CBM76AD06 是 V1 到 V4, 对于 CBM76AD06-6 是 V1 到 V3, 对于 CBM76AD06-4 是 V1 和 V2) 的同步采样; CONVST B 用于启动第二组模拟输入通道 (对于 CBM76AD06 是 V5 到 V8, 对于 CBM76AD06-6 是 V4 到 V6, 对于 CBM76AD06-4 是 V3 和 V4) 的同步采样, 如图 25 所示。在 CONVST A 的上升沿, 第一组通道的跟踪保持放大器被置于保持模式。在 CONVST B 的上升沿, 第二组通道的跟踪保持放大器被置于保持模式。一旦两个 CONVST x 的上升沿都发生, 转换过程就开始; 因此, BUSY 在较晚的 CONVST x 信号的上升沿变高。在时序规格中, 时间 t_5 表示 CONVST x 采样点之间允许的最大时间。使用两个独立的 CONVST x 信号时, 数据读取过程没有变化。将所有未使用的模拟输入通道连接到 AGND。因为所有通道始终都会被转换, 所以任何未使用的通道的结果仍然包含在数据读取中。

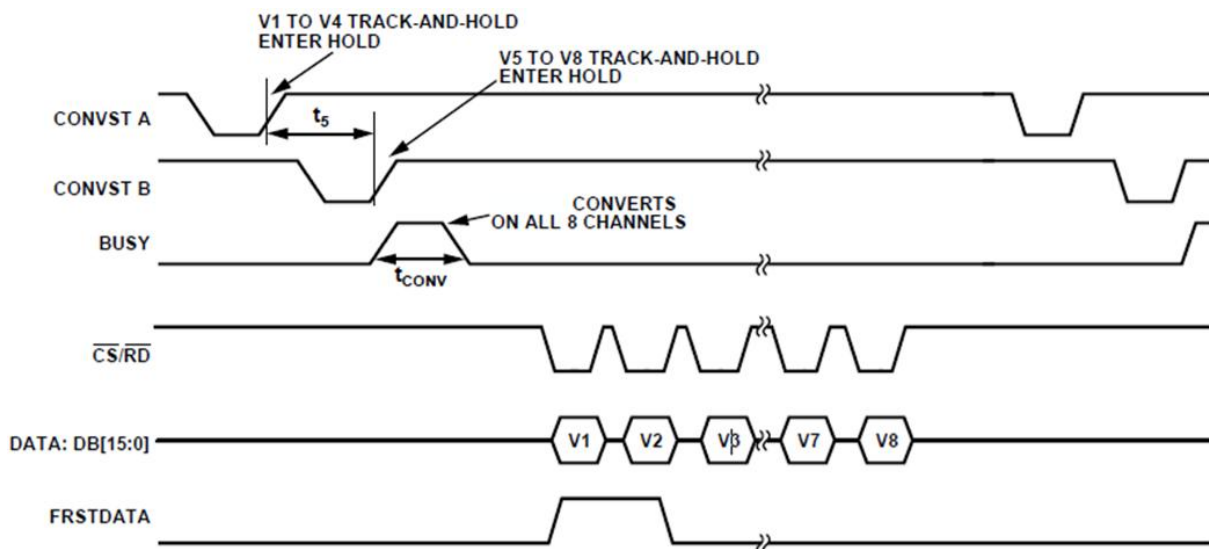


图 25. 使用独立的 CONVST A 和 CONVST B 信号时 CBM76AD06 通道组的同步采样——并行模式

数字接口

CD76AD06 提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需的接口模式通过 PAR/SER/BYTE SEL 和 DB15/BYTE SEL 引脚选择。

表 4. 接口模式选择

PAR/SER/BYTE SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

表 5. 过采样位解码

OS[2:0]	OS Ratio	SNR 5 V Range (dB)	SNR 10V Range (dB)	3 dB BW 5 V Range (kHz)	3 dB BW 10 V Range (kHz)	最大吞吐量 CONVST 频率 (kHz)
000	No OS	89	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	Invalid	--	--	--	--	--

封装外形及尺寸

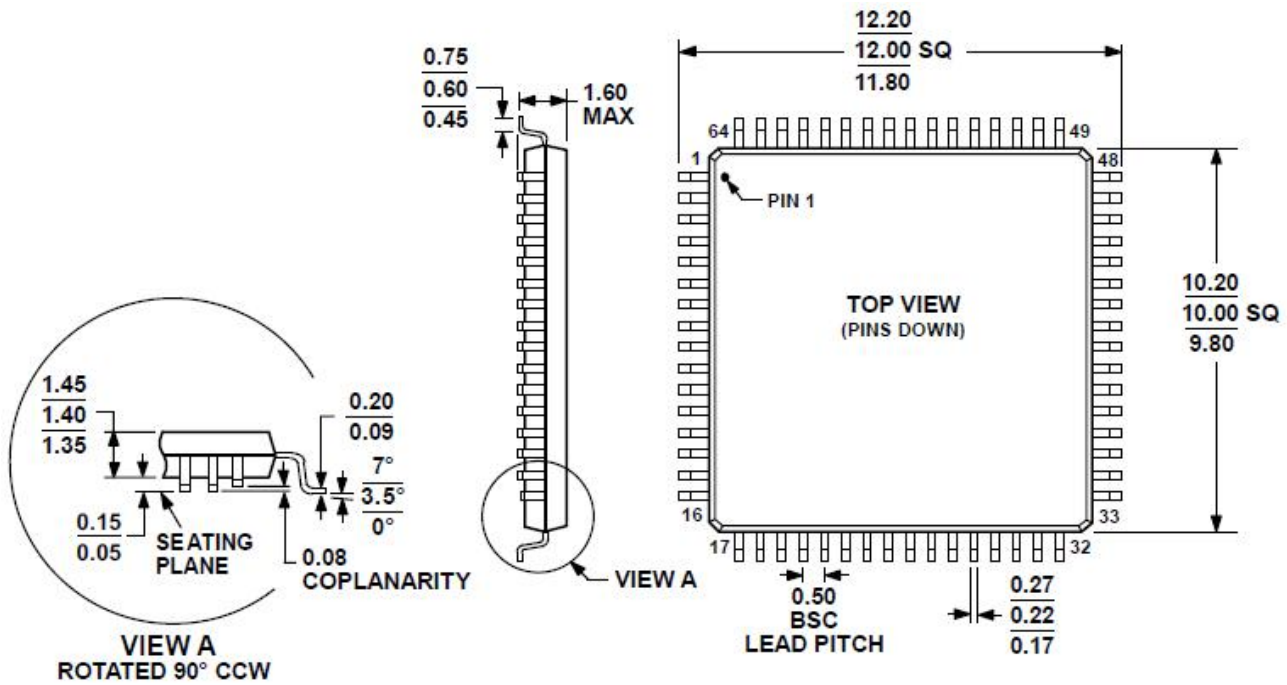


图 26.LQFP-64 封装尺寸图

包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CD76AD06Q	-40℃~85℃	LQFP-64	Tray, 60

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.5.20	初版生成	常规更新	WW	LYL	
V1.1	2025.6.12	更新产品引脚描述及功能框图	错误更新	WW	LYL	