



CD96AD56

四通道、16 位、125 MSPS JESD204B 1.8 V 模数转换器 (ADC)

版本：Rev 1.0.0 日期：2025-5-20

产品特性

- 信噪比 (SNR) : 79dBFS (9.7MHz, VREF=1.4V)
- 信噪比 (SNR) : 77dBFS (9.7MHz, VREF=1.0V)
- 无杂散动态范围 (SFDR) : 85dBc(至奈奎斯特频率, VREF=1.4V)
- 无杂散动态范围 (SFDR) : 91dBc(至奈奎斯特频率, VREF=1.0V)
- JESD204B Subclass1 编码, 串行数字输出
- 模拟输入范围 (可调) : 2.0 Vp-p/2.8 Vp-p
- 1.8V 电源供电
- 低功耗: 125MHz 模式每通道功耗 \leq 195mW
- 微分非线性 (DNL) : ± 0.6 LSB
- 积分非线性 (INL) : ± 5.0 LSB
- 650MHz 全功率模拟输入带宽
- 串行端口控制:
 - 全芯片、独立通道省电模式 (Power Down)
 - 内建、用户自定义测试模式
 - 多芯片同步和时钟分频功能
 - 待机模式

产品应用

- 医疗成像
- 高速成像
- 无线接收机
- 便捷式测量设备

产品描述

本产品是一款 4 通道, 16 位, 125MSPS 采样率的模数转换器(Analog-to-Digital Converter, ADC), 专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品转换速率最高可达到 125MSPS, 具有优异的动态性能和超低功耗特性, 适用多种应用场景。

该 ADC 采样 1.8V 单电源供电和 LVPECL/CMOS/LVDS 兼容型采样时钟信号。无需外部基准电压源和驱动器即可满足需求。

支持独立关闭内部各通道功能; 禁用全部通道后, 典型功耗小于 14mW。该 ADC 内置多种功能, 包括可编程时钟输出、数据对齐、生成数字测试码等。可获得的数字测试码包括: 内置固定测试码和伪随机测试码, 也支持用户通过串行端口接口(SPI)自定义测试码的方式。

目录

产品特性	- 1 -
产品应用	- 1 -
产品描述	- 1 -
功能框图	- 3 -
产品优势	- 3 -
电气特性	- 4 -
绝对最大额定值	- 13 -
引脚配置与功能描述	- 14 -
典型特性	- 16 -
等效电路	- 19 -
存储器寄存器表	- 20 -
应用说明	- 28 -
封装外形及尺寸	- 29 -
包装/订购信息	- 29 -
修订日志	- 30 -

功能框图

本产品采用 56 引脚封装，该 ADC 额定工作范围为：-40℃到+85℃

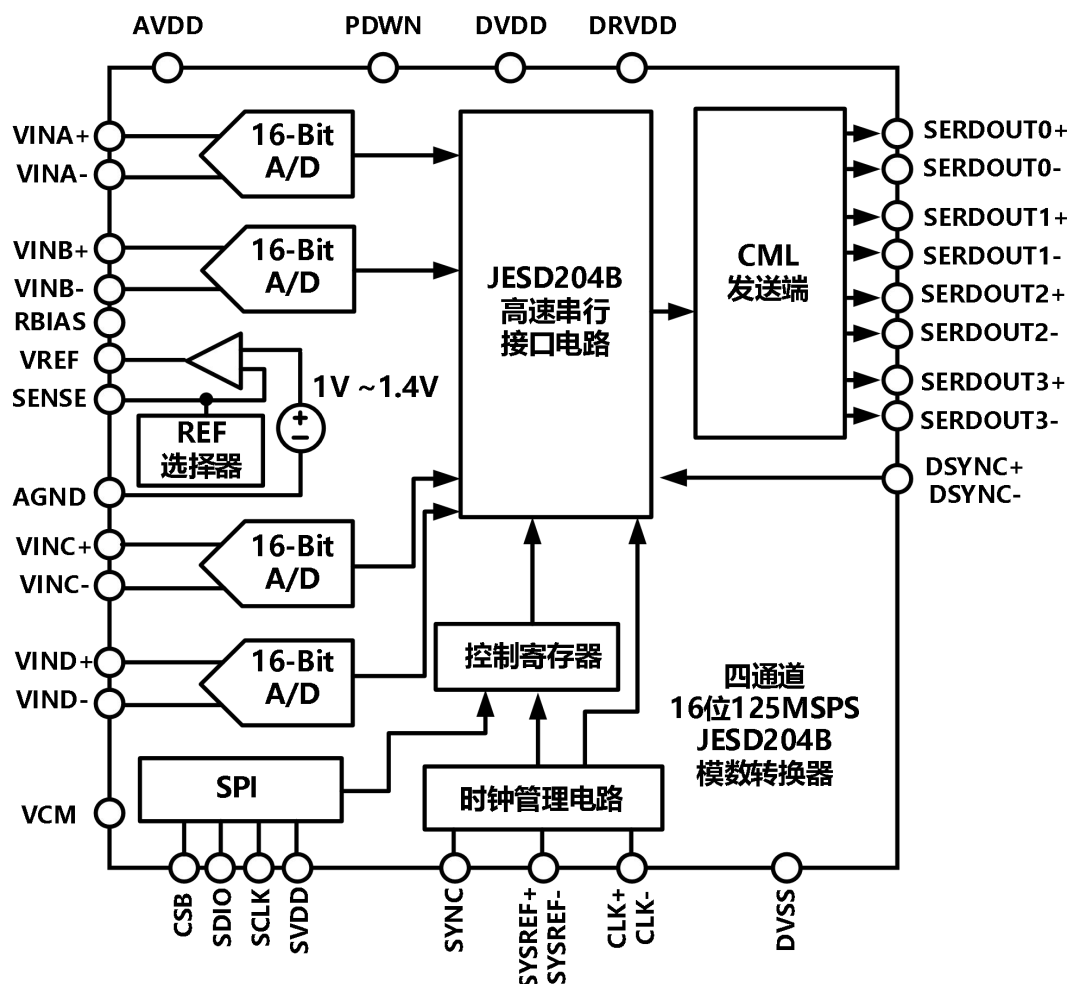


图 1. 功能框图

产品优势

1. 高度集成，一个小尺寸芯片内集成 4 个高速 16 位模数转换器。
2. 集成片上锁相环(PLL)，PLL 对 ADC 采样时钟进行倍频后为用户提供相应的 JESD204B 数据时钟。
3. 可配置的 JESD204B 输出模式支持每通道最高 6.4 Gbps 的数据速率。
4. JESD204B 输出模块支持 1/2/4 通道配置。
5. 低功耗：125 MSPS 时每通道功耗小于 200 mW。
6. SPI 控制提供灵活配置特性，满足各种系统需求。

电气特性

● 直流规格(VREF=1.4 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.8 Vp-p 满量程差分输入, 1.4 V 基准电压, 如无特殊说明, AIN=-1.0dBFS。

表 1.

参数	温度	最小值	典型值	最大值	单位
分辨率	25°C	--	16	--	Bits
精度					
无失码	25°C	--	设计保证	--	
失调误差	25°C	--	0.2	--	%FSR
失调匹配	25°C	--	0.05	--	%FSR
增益误差	25°C	--	1.2	--	%FSR
增益匹配	25°C	--	0.95	--	%FSR
微分非线性(DNL)	25°C	--	±0.5	--	LSB
积分非线性(INL)	25°C	--	±5.0	--	LSB
温度漂移					
增益误差	全温	--	5.2	--	ppm/°C
失调误差	全温	--	-2.5	--	ppm/°C
内部基准电压源					
内部基准电压源	25°C	--	1.4	--	V
负载调整(1.0 mA)	25°C	--	4	--	mV
输入电阻	25°C	--	7.5	--	kΩ
输入端等效噪声					
VREF=1.4V	25°C	--	2.1	--	LSB rms
模拟输入					
差分输入电压	25°C	--	2.8	--	Vp-p
共模电压	25°C	--	0.9	--	V
共模范围	25°C	0.7	--	1.1	V
差分输入电阻	25°C	--	2.6	--	kΩ
差分输入电容	25°C	--	7	--	pF
电源					
AVDD	25°C	--	1.8	--	V
DVDD、DRVDD	25°C	--	1.8	--	V
IAVDD (125MSPS、2 Lanes)	25°C	--	288	--	mA

I _{DVDD} (125MSPS、2 Lanes)	25°C	--	67	--	mA
I _{DRVDD} (125MSPS、2 Lanes)	25°C	--	83	--	mA
总功耗					
直流输入 (125MSPS、2 Lanes)	25°C	--	706	--	mW
正弦输入 (125MSPS、2 Lanes)	25°C	--	788	--	mW
省电模式	25°C	--	14	--	mW
待机模式	25°C	--	547	--	mW

- **直流规格(VREF=1.0 V)**

AVDD=1.8 V, DRVDD=1.8 V, 2.0 Vp-p 满量程差分输入, 1.0 V 基准电压, 如无特殊说明, A_{IN}=-1.0dBFS。

表 2.

参数	温度	最小值	典型值	最大值	单位
分辨率	25°C	--	16	--	Bits
精度					
无失码	25°C	--	设计保证	--	
失调误差	25°C	--	0.2	--	%FSR
失调匹配	25°C	--	0.13	--	%FSR
增益误差	25°C	--	1.0	--	%FSR
增益匹配	25°C	--	0.4	--	%FSR
微分非线性(DNL)	25°C	--	±0.5	--	LSB
积分非线性(INL)	25°C	--	±4.0	--	LSB
温度漂移					
增益误差	全温	--	3.1	--	ppm/°C
失调误差	全温	--	-3	--	ppm/°C
内部基准电压源					
内部基准电压源	25°C	--	1.0	--	V
负载调整(1.0 mA)	25°C	--	2	--	mV
输入电阻	25°C	--	7.5	--	kΩ
输入端等效噪声					
V _{REF} =1.4V	25°C	--	2.7	--	LSB rms
模拟输入					
差分输入电压	25°C	--	2.0	--	V _{p-p}
共模电压	25°C	--	0.9	--	V
共模范围	25°C	0.5	--	1.3	V

差分输入电阻	25°C	--	2.6	--	kΩ
差分输入电容	25°C	--	7	--	pF
电源					
AVDD	25°C	--	1.8	--	V
DVDD、DRVDD	25°C	--	1.8	--	V
I _{AVDD} (125MSPS、2 Lanes)	25°C	--	276	--	mA
I _{DVDD} (125MSPS、2 Lanes)	25°C	--	69	--	mA
I _{DRVDD} (125MSPS、2 Lanes)	25°C	--	83	--	mA
总功耗					
直流输入 (125MSPS、2 Lanes)	25°C	--	688	--	mW
正弦输入 (125MSPS、2 Lanes)	25°C	--	771	--	mW
省电模式	25°C	--	14	--	mW
待机模式	25°C	--	520	--	mW

● 交流规格(VREF=1.4 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.8 V_{p-p} 满量程差分输入, 1.4 V 基准电压, 如无特殊说明, A_{IN}=-1.0dBFS。

表 3.

参数	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
f _{IN} = 9.7MHz	25°C	--	79.0	--	dBFS
f _{IN} = 16MHz	25°C	--	78.2	--	dBFS
f _{IN} = 64MHz	25°C	--	76.3	--	dBFS
f _{IN} = 128MHz	25°C	--	71.5	--	dBFS
f _{IN} = 201MHz	25°C	--	69.7	--	dBFS
f _{IN} = 301MHz	25°C	--	66.2	--	dBFS
信噪失真比(SINAD)					
f _{IN} = 9.7MHz	25°C	--	78.3	--	dBFS
f _{IN} = 16MHz	25°C	--	77.7	--	dBFS
f _{IN} = 64MHz	25°C	--	75.2	--	dBFS
f _{IN} = 128MHz	25°C	--	70.9	--	dBFS
f _{IN} = 201MHz	25°C	--	68.7	--	dBFS
f _{IN} = 301MHz	25°C	--	65.9	--	dBFS
有效位数(ENOB)					
f _{IN} = 9.7MHz	25°C	--	12.7	--	Bits

$f_{IN} = 16\text{MHz}$	25°C	--	12.6	--	Bits
$f_{IN} = 64\text{MHz}$	25°C	--	12.2	--	Bits
$f_{IN} = 128\text{MHz}$	25°C	--	11.5	--	Bits
$f_{IN} = 201\text{MHz}$	25°C	--	11.1	--	Bits
$f_{IN} = 301\text{MHz}$	25°C	--	10.7	--	Bits
无杂散动态范围(SFDR)					
$f_{IN} = 9.7\text{MHz}$	25°C	--	93.2	--	dBc
$f_{IN} = 16\text{MHz}$	25°C	--	90.1	--	dBc
$f_{IN} = 64\text{MHz}$	25°C	--	82.8	--	dBc
$f_{IN} = 128\text{MHz}$	25°C	--	82.3	--	dBc
$f_{IN} = 201\text{MHz}$	25°C	--	76.1	--	dBc
$f_{IN} = 301\text{MHz}$	25°C	--	82.3	--	dBc
最差谐波(二阶或三阶)					
$f_{IN} = 9.7\text{MHz}$	25°C	--	93.2	--	dBc
$f_{IN} = 16\text{MHz}$	25°C	--	90.1	--	dBc
$f_{IN} = 64\text{MHz}$	25°C	--	82.8	--	dBc
$f_{IN} = 128\text{MHz}$	25°C	--	82.3	--	dBc
$f_{IN} = 201\text{MHz}$	25°C	--	76.1	--	dBc
$f_{IN} = 301\text{MHz}$	25°C	--	82.3	--	dBc
最差其他谐波(二阶或三阶除外)					
$f_{IN} = 9.7\text{MHz}$	25°C	--	-96	--	dBc
$f_{IN} = 16\text{MHz}$	25°C	--	-92	--	dBc
$f_{IN} = 64\text{MHz}$	25°C	--	-90	--	dBc
$f_{IN} = 128\text{MHz}$	25°C	--	-89	--	dBc
$f_{IN} = 201\text{MHz}$	25°C	--	-93	--	dBc
$f_{IN} = 301\text{MHz}$	25°C	--	-90	--	dBc
双音互调失真(IMD):输入幅度=-7.0dBFS					
$f_{IN1}=70.5\text{MHz}, f_{IN1}=72.5\text{MHz}$	25°C	--	-84	--	dBc
串扰					
量程内串扰 ²	25°C	--	-93	--	dB
超量程串扰 ³	25°C	--	-89	--	dB
模拟输入带宽 (全功率)	25°C	--	650	--	MHz

1. $f_{IN} \geq 401\text{MHz}$ 测试时, 在 $A_{IN} = -5.0\text{dBFS}$ 条件下进行测试。

2. 一个通道输入 $f_{IN} = 70\text{MHz}$, -1.0dBFS 模拟输入且相邻通道上无输入信号。

3. 超量程定义为高于满量程范围 3dB。

● 交流规格(VREF=1.0 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.0 V_{p-p} 满量程差分输入, 1.0 V 基准电压, 如无特殊说明, A_{IN}=-1.0dBFS。

表 4.

参数	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
f _{IN} = 9.7MHz	25°C	--	77.4	--	dBFS
f _{IN} = 16MHz	25°C	--	77.1	--	dBFS
f _{IN} = 64MHz	25°C	--	75.3	--	dBFS
f _{IN} = 128MHz	25°C	--	71.9	--	dBFS
f _{IN} = 201MHz	25°C	--	69.2	--	dBFS
f _{IN} = 301MHz	25°C	--	65.8	--	dBFS
信噪失真比(SINAD)					
f _{IN} = 9.7MHz	25°C	--	77.3	--	dBFS
f _{IN} = 16MHz	25°C	--	76.9	--	dBFS
f _{IN} = 64MHz	25°C	--	75.1	--	dBFS
f _{IN} = 128MHz	25°C	--	71.6	--	dBFS
f _{IN} = 201MHz	25°C	--	68.5	--	dBFS
f _{IN} = 301MHz	25°C	--	65.6	--	dBFS
有效位数(ENOB)					
f _{IN} = 9.7MHz	25°C	--	12.5	--	Bits
f _{IN} = 16MHz	25°C	--	12.4	--	Bits
f _{IN} = 64MHz	25°C	--	12.2	--	Bits
f _{IN} = 128MHz	25°C	--	11.6	--	Bits
f _{IN} = 201MHz	25°C	--	11.1	--	Bits
f _{IN} = 301MHz	25°C	--	10.6	--	Bits
无杂散动态范围(SFDR)					
f _{IN} = 9.7MHz	25°C	--	97.6	--	dBc
f _{IN} = 16MHz	25°C	--	94.9	--	dBc
f _{IN} = 64MHz	25°C	--	92.5	--	dBc
f _{IN} = 128MHz	25°C	--	86.0	--	dBc
f _{IN} = 201MHz	25°C	--	77.5	--	dBc
f _{IN} = 301MHz	25°C	--	80.3	--	dBc

最差谐波(二阶或三阶)					
$f_{IN} = 9.7\text{MHz}$	25°C	--	-97.6	--	dBc
$f_{IN} = 16\text{MHz}$	25°C	--	-94.9	--	dBc
$f_{IN} = 64\text{MHz}$	25°C	--	-92.5	--	dBc
$f_{IN} = 128\text{MHz}$	25°C	--	-86.0	--	dBc
$f_{IN} = 201\text{MHz}$	25°C	--	-77.5	--	dBc
$f_{IN} = 301\text{MHz}$	25°C	--	-80.3	--	dBc
最差其他谐波(二阶或三阶除外)					
$f_{IN} = 9.7\text{MHz}$	25°C	--	-95	--	dBc
$f_{IN} = 16\text{MHz}$	25°C	--	-95	--	dBc
$f_{IN} = 64\text{MHz}$	25°C	--	-94	--	dBc
$f_{IN} = 128\text{MHz}$	25°C	--	-89	--	dBc
$f_{IN} = 201\text{MHz}$	25°C	--	-91	--	dBc
$f_{IN} = 301\text{MHz}$	25°C	--	-89	--	dBc
双音互调失真(IMD):输入幅度=-7.0dBFS					
$f_{IN1}=70.5\text{MHz}, f_{IN2}=72.5\text{MHz}$	25°C	--	-89	--	dBc
串扰					
量程内串扰 ²	25°C	--	-94	--	dB
超量程串扰 ³	25°C	--	-89	--	dB
模拟输入带宽 (全功率)	25°C	--	650	--	MHz

1. $f_{IN} \geq 401\text{MHz}$ 测试时, 在 $A_{IN} = -5.0\text{dBFS}$ 条件下进行测试。
2. 一个通道输入 $f_{IN} = 70\text{MHz}$, -1.0dBFS 模拟输入且相邻通道上无输入信号。
3. 超量程定义为高于满量程范围 3dB。

● 数字规格

$AVDD = 1.8\text{ V}$, $DRVDD = 1.8\text{ V}$, 2.8 V_{p-p} 满量程差分输入, 1.4 V 基准电压, 如无特殊说明, $A_{IN} = -1.0\text{dBFS}$ 。

表 5.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)					
逻辑兼容		--	CMOS/LVDS/LVPECL	--	--
差分输入电压范围	全温	0.2	--	3.6	V _{p-p}
输入电压范围	全温	AGND-0.2	--	AVDD+0.2	V
输入共模电压	全温	--	0.9	--	V
输入电阻(差分)	25°C	--	15	--	kΩ

输入电容	25°C	--	4	--	pF
DSYNC 输入(DSYNC+/ DSYNC-)					
逻辑兼容	全温	--	LVDS	--	--
内部共模偏置	全温	--	0.9	--	V
差分输入电压范围	全温	0.3	--	3.6	Vp-p
输入电压范围	全温	DGND	--	DVDD	V
输入共模电压范围	全温	0.9	--	1.4	V
高电平输入电流	全温	-5	--	+5	μA
低电平输入电流	全温	-5	--	+5	μA
输入电容	全温	--	1	--	pF
输入电阻	全温	12	16	20	kΩ
DSYSREF 输入(DSYSREF+/ DSYSREF-)					
逻辑兼容		--	LVDS	--	--
内部共模偏置	全温	--	0.9	--	V
差分输入电压范围	全温	0.3	--	3.6	Vp-p
输入电压范围	全温	DGND	--	DVDD	V
输入共模电压范围	全温	0.9	--	1.4	V
高电平输入电流	全温	-5	--	+5	μA
低电平输入电流	全温	-5	--	+5	μA
输入电容	全温	--	4	--	pF
输入电阻	全温	8	10	12	kΩ
逻辑输入(PDWN、SYNC、SCLK)					
逻辑 1 电压范围	全温	1.2	--	AVDD+0.2	V
逻辑 0 电压范围	全温	0	--	0.8	V
输入电阻	25°C	--	30	--	kΩ
输入电容	25°C	--	2	--	pF
逻辑输入(CSB)					
逻辑 1 电压范围	25°C	1.2	--	AVDD+0.2	V
逻辑 0 电压范围	25°C	0	--	0.8	V
输入电阻	25°C	--	26	--	kΩ
输入电容	25°C	--	2	--	pF
逻辑输入(SDIO)					
逻辑 1 电压范围	25°C	1.2	--	AVDD+0.2	V
逻辑 0 电压范围	25°C	0	--	0.8	V

输入电阻	25℃	--	26	--	kΩ
输入电容	25℃	--	5	--	pF
数字输出 (SERDOUTx+、SERDOUTx-)					
逻辑兼容	全温	--	CML400	--	--
差分输出电压(VOD)	全温	400	600	750	mV
输出失调电压(VOS)	全温	0.75	DRVDD/2	1.05	V

● 开关规格

AVDD=1.8 V， DRVDD=1.8 V， 2.8 Vp-p 满量程差分输入， 1.4V 基准电压， 如无特殊说明，
 $A_{IN}=-1.0dBFS$ 。

表 6.

参数	温度	最小值	典型值	最大值	单位
时钟参数					
输入时钟速率	全温	40	--	1000	MHz
转换速率	--	40	--	125	MSPS
时钟高电平脉冲宽度(tEH)	--	--	4		ns
时钟低电平脉冲宽度(tEL)	--	--	4	1.4	ns
SYNC 建立时间至时钟	--	--	--	-0.4	ns
SYNC 保持时间至时钟	--	--	370	600	ns
DSYSREF 建立时间至时钟(tREFS)4	--	--	-92	0	ps
DSYSREF 保持时间至时钟(tREFH)4	--	--	--	--	ps
数据输出参数					
数据输出周期或单位间隔(UI)	全温	--	$L/(20 \times M \times fS)$	--	秒
数据输出占空比	25℃	--	50	--	%
数据有效时间	25℃	--	0.81	--	UI
PLL 锁定时间(tLOCK)	25℃	--	25	--	μs
唤醒时间	--	--		--	
待机	25℃	--	250	--	ns
ADC(省电模式)	25℃	--	375	--	μs
输出(省电模式)	25℃	--	50	--	μs
DSYNC 下降沿至 K.28 首字符	全温	4	--	--	多帧
CGS 阶段的 K.28 字符持续时间	全温	1	--	--	多帧
流水线延迟	--	--	--	--	--
JESD204B M4、L1 模式(延迟)	全温	--	23	--	周期 7
JESD204B M4、L2 模式(延迟)	全温	--	29	--	周期 7

JESD204B M4、L4 模式(延迟)	全温	--	44	--	周期 7
每通道的数据速率	全温	--	--	6.4	Gbps
确定性抖动(DJ)	--	--	--	--	
6.4 Gbps 时	全温	--	8	--	Ps
随机抖动(RJ)	--	--	--	--	
6.4 Gbps 时	全温	--	1.25	--	ps rms
输出上升时间/下降时间	全温	--	50	--	ps
差分端接电阻	25°C	--	100	--	Ω
孔径参数					
孔径延迟(tA)	25°C	--	1	--	--
孔径不确定性(抖动, tJ)	25°C	--	135	--	--
超范围恢复时间	25°C	--	1	--	--

● 时序规格

表 7.

参数	说明	限值	单位
SPI 时序要求 参见图 70			
t _{DS}	数据与 SCLK 上升沿之间的建立时间	2	ns(最小值)
t _{DH}	数据与 SCLK 上升沿之间的保持时间	2	ns(最小值)
t _{CLK}	SCLK 周期	40	ns(最小值)
t _S	CSB 与 SCLK 之间的建立时间	2	ns(最小值)
t _H	CSB 与 SCLK 之间的保持时间	2	ns(最小值)
t _{HIGH}	SCLK 高电平脉冲宽度	10	ns(最小值)
t _{LOW}	SCLK 低电平脉冲宽度	10	ns(最小值)
t _{EN_SDIO}	相对 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态需要时间	10	ns(最小值)
t _{DIS_SDIO}	相对 SCLK 下降沿, SDIO 引脚从输出状态切换到输入状态需要时间	10	ns(最小值)

时序图

SPI 寄存器设置参见 “存储器映射寄存器表” 部分

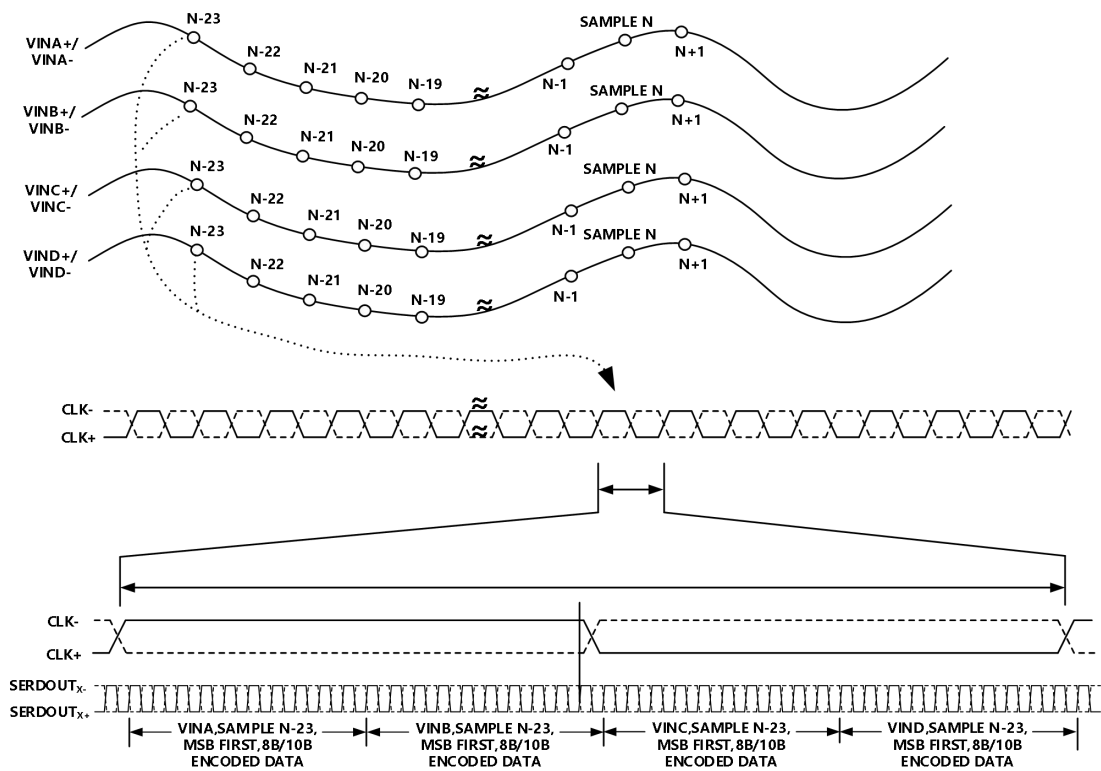


图 2.数据输出时序

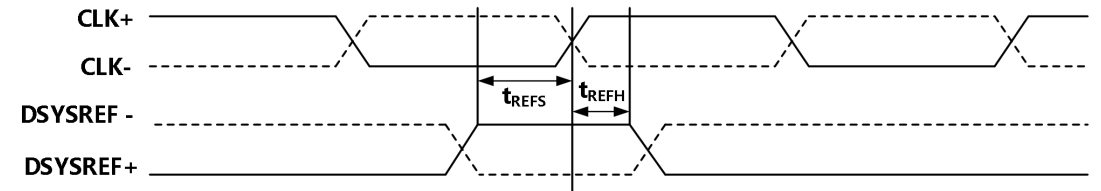


图 3.DSYSREF+/DSYSREF-建立和保持时间(时钟分频器=1)

绝对最大额定值

参数	额定值
电气	-0.3 V 至+2.0 V
AVDD 至 AGND	-0.3 V 至+2.0 V
DRVDD 至 AGND	-0.3 V 至+2.0 V
DVDD 至 DVSS	-0.3 V 至+2.0 V
SVDD 至 AGND	-0.3 V 至+2.0 V
数 字 输 出 至 AGND	-0.3 V 至+2.0 V
CLK+、CLK-至 AGND	-0.3 V 至+2.0 V
VINx+、VINx-至 AGND	-0.3 V 至+2.0 V
DSYSREF+、DSYSREF-至 AGND DSYN-、DSYN+至 AGND	-0.3 V 至+2.0 V
SCLK、SDIO、CSB、PDWN 至 AGND SYNC 至 AGND	-0.3 V 至+3.9 V

RBIAS 至 AGND	-0.3 V 至+2.0 V
VCM、VREF、SENSE 至 AGND	
环境	
工作温度范围(环境)	-40°C 至 +85°C
最高结温	150°C
引脚温度(焊接, 10 秒)	300°C
存储温度范围(环境)	-65°C 至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻： θ_{JA} 的测试条件为有实接地层的四层印刷电路板(PCB，仿真)。裸露焊盘焊接到 PCB 地。

封装类型	气流速度	θ_{JA}	θ_{JB}	θ_{JC} 顶部	θ_{JC} 底部 (°
	(m/s)	(° C/W)	(° C/W) 1	(° C/W) 1	C/W) 1
56 引脚 LFCSP、8mm×8 mm	0	22.4	7.7	7.42	2.29
	1	19.0	不适用	不适	不适用
	2.5	17.6	不适用	不适用	不适用

引脚配置与功能描述

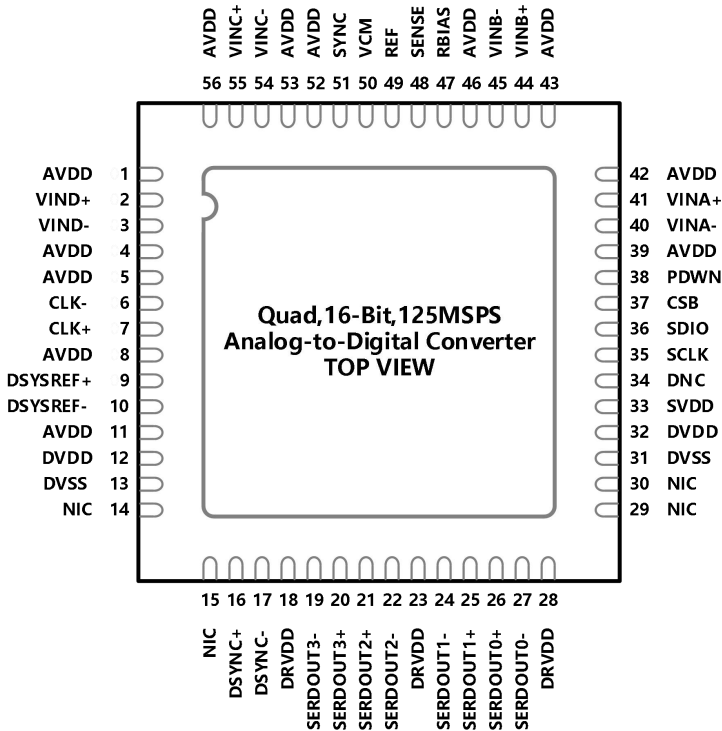


图 4.引脚配置(顶视图)

INL 和 DNL 测试曲线如图 3 所示。

输入模拟输入频率 100MHz、采样率 250MSPS 的 FFT 如图 4 所示。输入模拟输入频率 170MHz、采样率 250MSPS 的 FFT 如图 5 所示。输入模拟输入频率 230MHz、采样率 250MSPS 的 FFT 如图 6 所示。输入模拟输入频率 300MHz、采样率 250MSPS 的 FFT 如图 7 所示。带宽测试如图 8 所示。

表 10.引脚功能描述

引脚标号	引脚名称	说明
0	AGND,裸露焊盘	模拟地，封装底部的裸露热焊盘为器件提供模拟地
1,4,5,8,11,39,42,43,46,52,53,56	AVDD	1.8V 模拟电源引脚
2	VIND+	ADC D 通道模拟输入(+)
3	VIND-	ADC D 通道模拟输入(-)
6,7	CLK-,CLK+	差分时钟，PECL，LVDS 或者 1.8V CMOS 输入
9	DSYSREF+	JESD204B LVDS SYSREF 低电平输入有效(+)
10	DSYSREF-	JESD204B LVDS SYSREF 低电平输入有效(-)
12,32	DVDD	数字电源引脚
13,31	DVSS	数字地引脚
14,15,29,30	NIC	内部不连接，需要时可接地
16	DSYNC+	JESD204B LVDS SYNC 低电平输入有效(+)
17	DSYNC-	JESD204B LVDS SYNC 低电平输入有效(-)
18,23,28	DRVDD	数字输出驱动电源引脚
19	SEROUT3-	Lane3 数字输出(-)
20	SEROUT3+	Lane3 数字输出(+)
21	SEROUT2+	Lane2 数字输出(+)
22	SEROUT2-	Lane2 数字输出(-)
24	SEROUT1-	Lane1 数字输出(-)
25	SEROUT1+	Lane1 数字输出(+)
26	SEROUT0+	Lane0 数字输出(+)
27	SEROUT0-	Lane0 数字输出(-)
33	SVDD	SPI 电源引脚
34	DNC	不连接，请勿连接该引脚
35	SCLK	SPI 时钟输入
36	SDIO	SPI 数据输入和输出
37	CSB	SPI 片选信号，低电平有效使能，内置 30kΩ上拉电阻
38	PDWN	数字输入,高电平=关断；低电平=工作

40	VINA-	ADC A 通道模拟输入(-)
41	VINA+	ADC A 通道模拟输入(+)
44	VINB+	ADC B 通道模拟输入(+)
45	VINB-	ADC B 通道模拟输入(-)
47	RBIAS	设置模拟电路偏置, 引脚连接到地 10kΩ电阻
48	SENSE	基准电压模式选择
49	VREF	基准电压输入和输出引脚
50	VCM	模拟输入共模电压
51	SYNC	数字输入, 时钟分频器的同步输入
54	VINC-	ADC C 通道模拟输入(-)
55	VINC+	ADC C 通道模拟输入(+)

典型特性

● $V_{REF} = 1.4V$

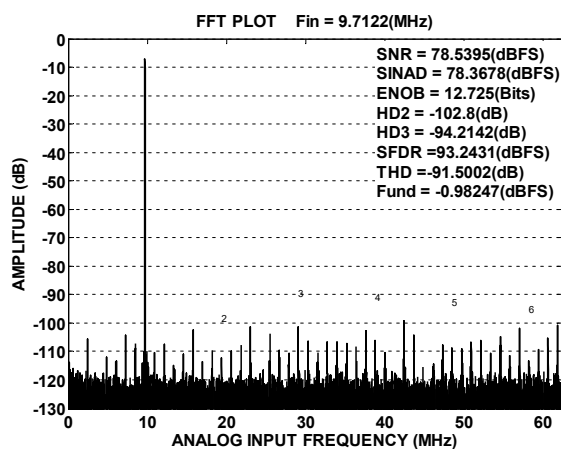


图 5.单音 32K(fIN=9.7MHz, fS=125MSPS)

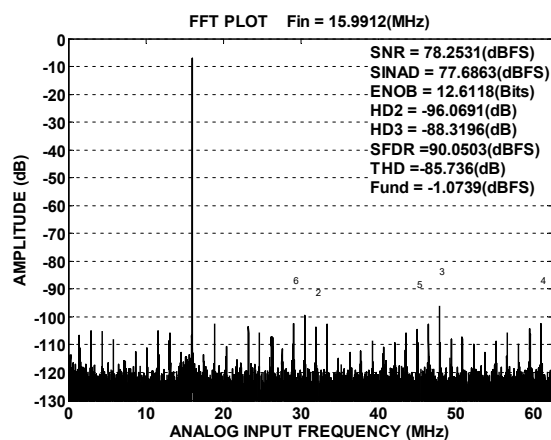


图 6.单音 32K(fIN=16MHz, fS=125MSPS)

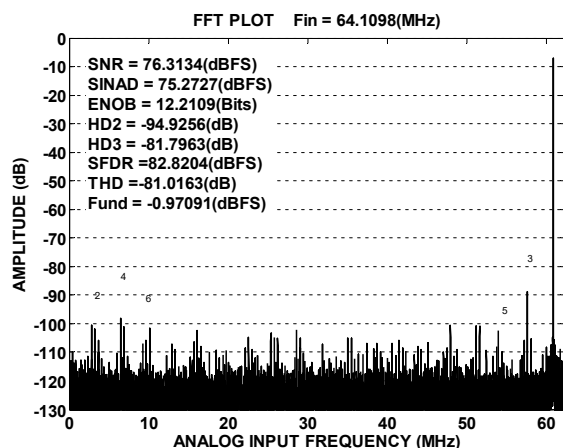


图 7.单音 32K(fIN=64MHz, fS=125MSPS)

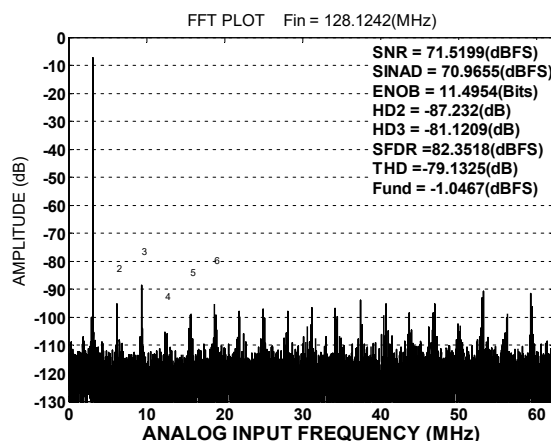


图 8.单音 32K(fIN=128MHz, fS=125MSPS)

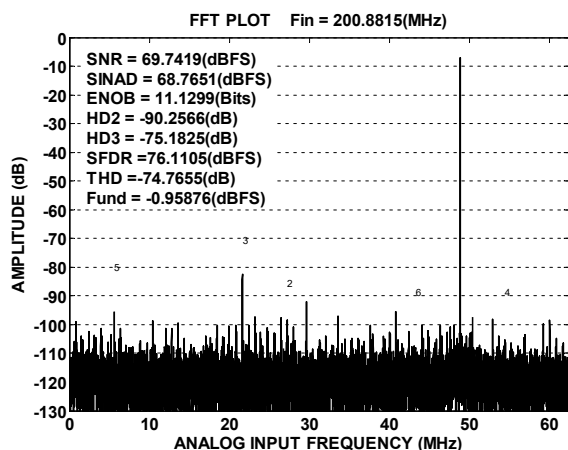


图 9.单音 32K(fin=201MHz, fs=125MSPS)

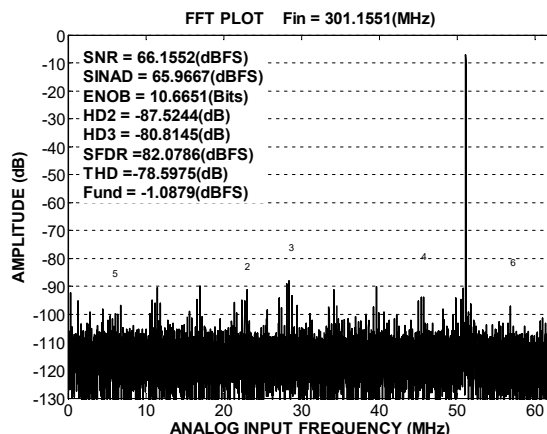


图 10.单音 32K(fin=301MHz, fs=125MSPS)

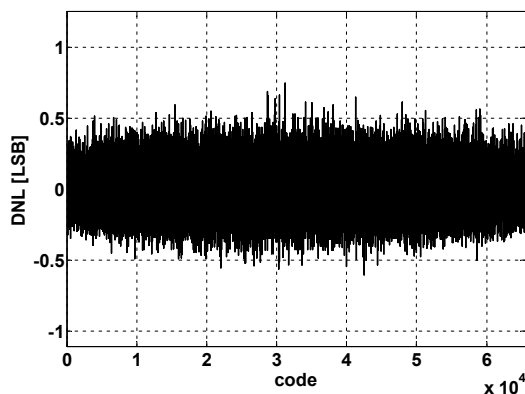


图 11.微分非线性(fin=9.7MHz, fs=125MSPS)

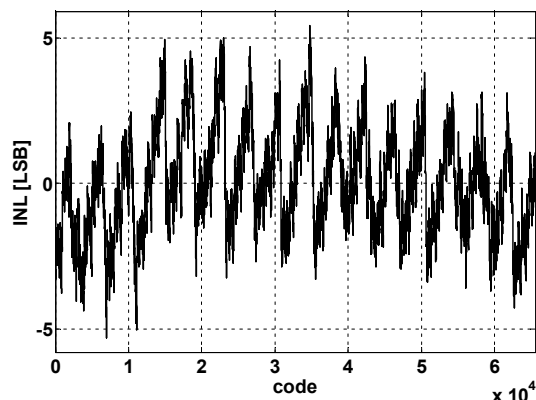


图 12.积分非线性(fin=9.7MHz, fs=125MSPS)

● $V_{REF} = 1.0 V$

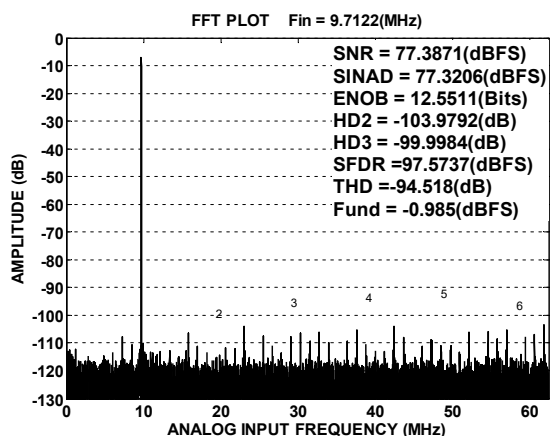


图 13.单音 32K(fin=9.7MHz, fs=125MSPS)

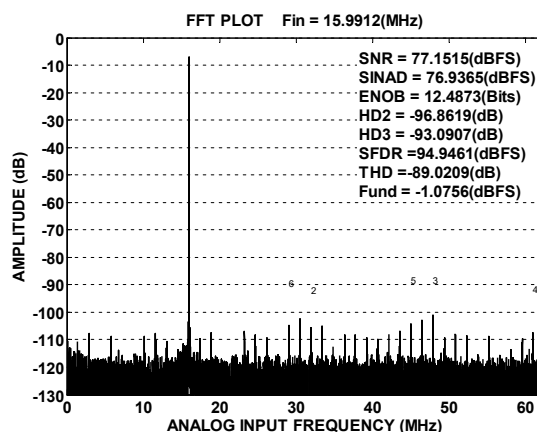


图 14.单音 32K(fin=16MHz, fs=125MSPS)

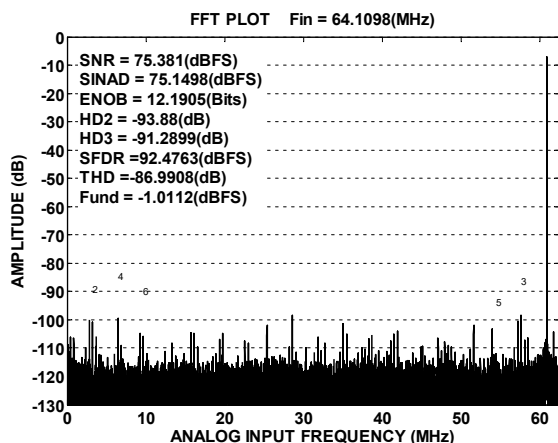


图 15.单音 32K(fIN=64MHz, fS=125MSPS)

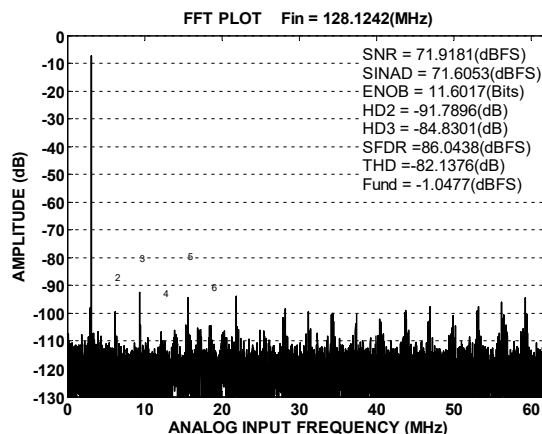


图 16.单音 32K(fIN=128MHz, fS=125MSPS)

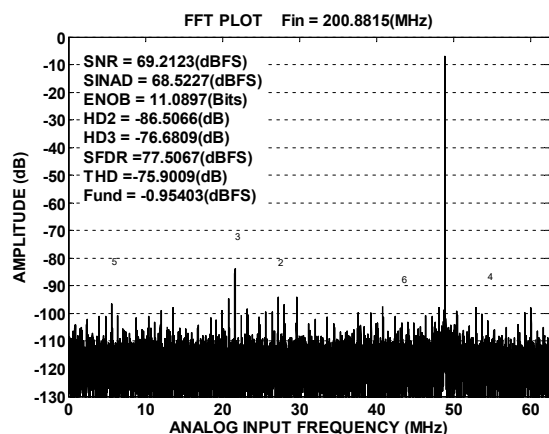


图 17.单音 32K(fIN=201MHz, fS=125MSPS)

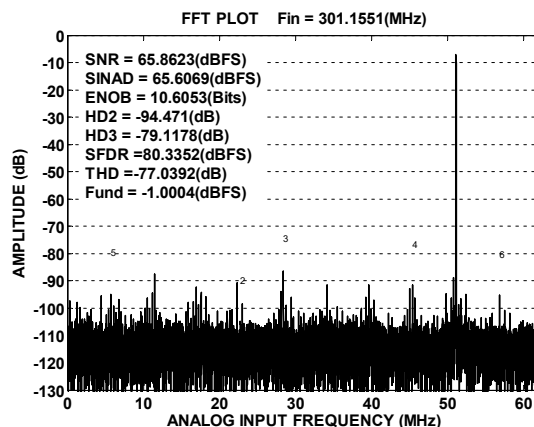


图 18.单音 32K(fIN=301MHz, fS=125MSPS)

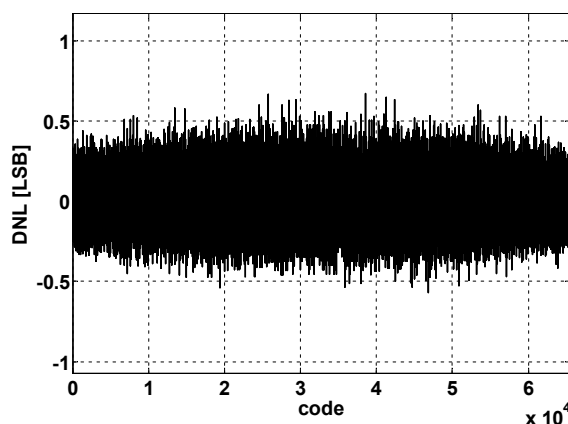


图 19.微分非线性(fIN=10MHz, fS=125MSPS)

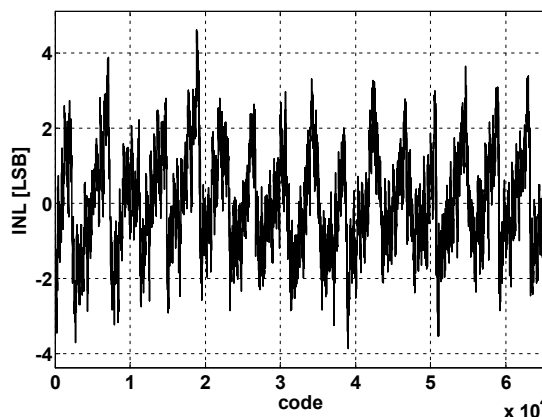


图 20.积分非线性(fIN=10MHz, fS=125MSPS)

等效电路

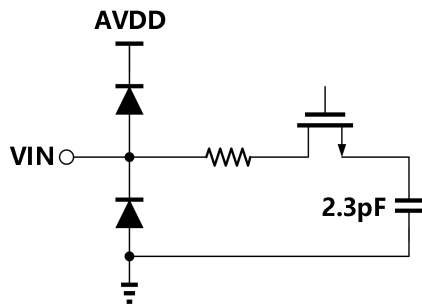


图 21.等效模拟输入电路图

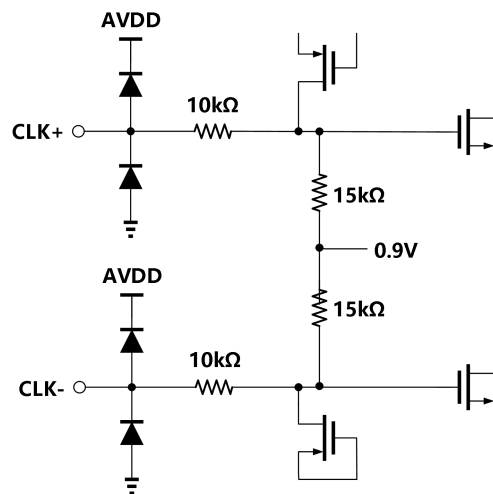


图 22.等效时钟输入电路

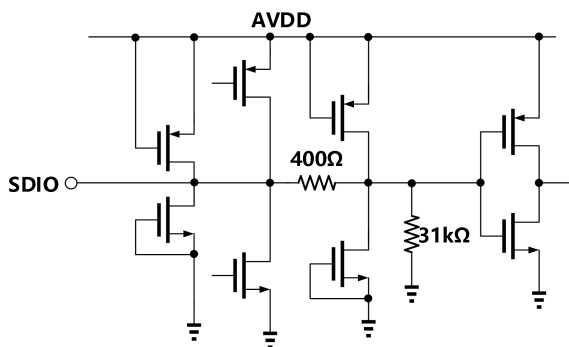


图 23.等效 SDIO 输入电路图

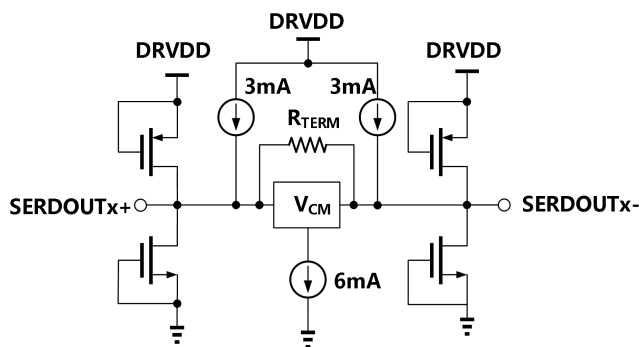


图 24.等效 SERDOUT± 电路

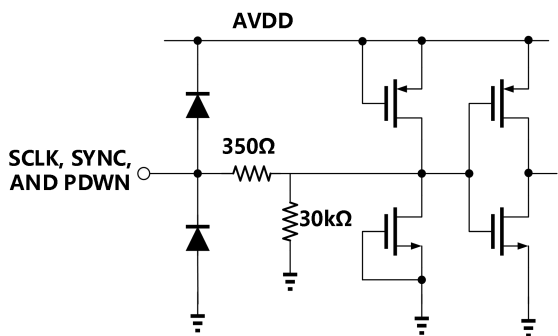


图 25.等效 SCLK, SYNC, PDWN 电路

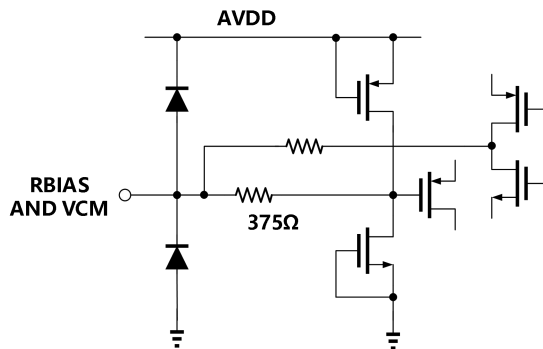


图 26.等效 RBIAS, VCM 电路

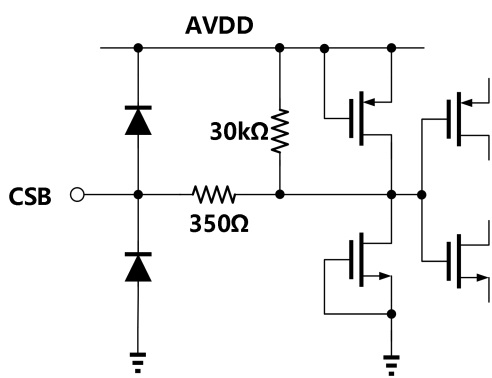


图 27.等效 CSB 输入电路

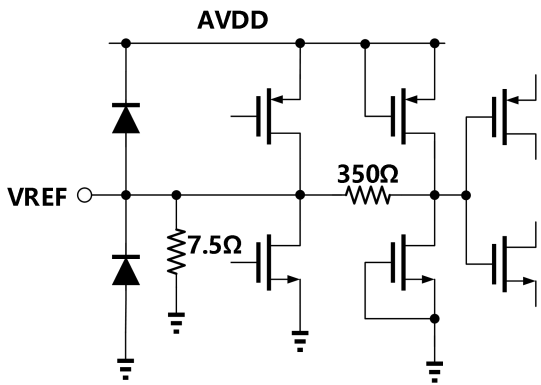


图 28.等效 VREF 电路

存储器寄存器表

• 存储器映射寄存器表

本产品采用 3 线接口和 16 位寻址方式。寄存器 0x00 的位 0 和位 7 置 0，位 3 和位 4 置 1。当寄存器 0x00 的位 5 置 1 时，SPI 进入软复位，所有用户寄存器恢复默认值，位 2 自动清 0。

表 16. 存储器映射寄存器(未标记为“局部”的 SPI 寄存器/位为“全局”寄存器/位)

地址 (十六进制)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认 值 (十六进制)	注释 备注
芯片配置寄存器											
0x00	SPI端口配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	
0x01	芯片ID	8位芯片ID[7:0]; 本产品=0xC0(四通道、16位、125MSPS、JESD204B)								0xC0	只读
0x02	芯片等级	禁用	速度等级ID[6:4]; 110=125MSPS			禁用	禁用	禁用	禁用	0x60	只读
通道索引和传送寄存器											
0x05	器件索引	禁用	禁用	禁用	禁用	数据通道3	数据通道2	数据通道1	数据通道0	0x0F	
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动寄存器 0x100覆盖 (自清零)	0x00	
ADC 功能											
0x08	功耗模式	禁用	禁用	PDW N引脚 功能: 0=完	JTX待 机模 式: 0= 忽略待	保留		功耗模式: 00=正常工作 01=完全掉电 10=待机		0x00	

				全掉电 1=待机	机 1=不忽略待机			11=数字复位			
0x09	时钟	禁用	0	禁用	禁用	禁用	禁用	禁用	占空比稳定器：0=关 1=开	0x00	
0x0A	PLL_STATUS	PLL锁定 状态位： 0=PLL未锁定 1=PLL锁定	禁用	禁用	禁用	禁用	禁用	禁用	JTX链路状态： 0=未就绪 1=就绪		只读
0x0B	时钟分频器	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0]： 000=1分频 001=2分频 010=3分频 011=4分频 100=5分频 101=6分频 110=7分频 111=8分频			0x00	
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波模式： 0=关 1=开	禁用	禁用	0x00	
0x0D	测试模式 (局部，伪随机数(PN)序列复位除外)	用户输入测试模式： 00=单一 01=交替 10=单一——次 11=交替一次 (仅影响用户输入测试模位[3:0]=1000)		复位 PN长 序列发 生器	复位 PN长 序列发 生器	输出测试模式[3:0](局部)： 0000=关(默认) 0001=中间电平短 0010=正满量程(FS) 0011=负FS 0100=交替棋盘形式， 0101=PN23序列 0110=PN9序列 0111=1/0字反转 1000=用户输入 1001=1/0位反转 1010=1×同步 1011=1位高电平 1100=混合位频率				0x00	置1时， 测试数据将取代正常数据被置于输出引脚上
0x10	失调调整 (局部)	8位器件失调调整[7:0](局部)；失调调整以LSB为单位，从+127到-128(二进制补码格式)								0x00	器件失调调整
0x14	输出模式	JTXCS模式： 000={超量程 欠量程,有效标志} 001={超量程，欠量程} 010={超量程 欠量程，空} 011={空，有效标志}			ADC 输出 有效标志： 0=输出有效	禁用	禁用	输出格式： 0=偏移二进制 1=二进制补码		0x01	

		100={空, 空} 其他={超量程 欠量程,有效标志}			1=输出无效(局部)							
0x15	输出调整	禁用	禁用	禁用	禁用	禁用	典型CML差分输出驱动电平: 000=473mVp-p, 001=524mVp-p, 010=574mVp-p, 011=621mVp-p(默认), 100=667mVp-p, 101=716mVp-p, 110=763mVp-p, 111=811mVp-p			0x03		
0x16	时钟相位控制	禁用	输入时钟相位调整[2:0] (值为相位延迟的输入时钟周期数)			禁用	禁用	禁用	禁用	0x00		
0x18	输入范围选择	内部VREF调整 [1:0]: 00=1.0V, 01=1.2V, 10=1.3V, 11=1.4V		禁用	禁用	禁用	差分范围调整: 000=正常值50%, 001=正常值57%, 010=正常值67%, 011=正常值80%, 100=正常值			0x04		
0x19	用户测试码 1LSB	用户测试码1[7:0]									0x00	
0x1A	用户测试码 1MSB	用户测试码1[15:8]									0x00	
0x1B	用户测试码 2LSB	用户测试码2[7:0]									0x00	
0x1C	用户测试码 2MSB	用户测试码2[15:8]									0x00	
0x21	FLEX_SERIAL_ CONTROL	禁用	禁用	禁用	禁用	PLL低速 率模式: 0=通道速 率 ≥2Gbps 1=通道速 率<2Gbps	禁用	禁用	禁用	0x00		
0x22	FLEX_SERIAL_ CH_STAT	禁用	禁用	禁用	禁用	禁用	禁用	禁用	通道掉电 (局部)	0x00		
0x3A	SYSREF_CTRL	禁用	禁用	禁用	0=普 通模式 1=每 次激活 DSYN C±时 重新对 齐通道	0=仅当 DSYSREF ±引起计 数器重新 同步时重 新对齐通 道, 1=每 个 DSYNC± 上重新对	禁用	禁用	禁用	0x00		

						齐通道						
0x3B	REALIGN_PAT TERN_CTRL	对齐一个通道时，将此模式码写入FIFO： 00=通道输出全0；55=通道输出交替模式码									0x55	
0x5E	JESD204B 快速配置	0x41=4个转换器、1个通道；0x42=4个转换器、2个通道；0x44=4个转换器、4个通道； 0x22=2个转换器、2个通道；0x21=2个转换器、1个通道；0x11=1个转换器、1个通道									0x00	自清零， 始终读出0x00。
0x5F	JESD204B链路 控制1	禁用	结束位模式： 0=填充0 1=填充9位PN序列	JTX传输层测试： 0=未使能，1=长传输层测试使能	多帧对齐 字符插入： 0=禁用，1=使能	ILAS模式： 00=ILAS禁用，01=ILAS使能(正常模式)，11=ILAS始终开启(测试模式)		帧对齐 字符插入： 0=使能，1=禁用	0=JTX链路使能 1=JTX链路禁用	0x14		
0x60	JESD204B链路 控制2	保留		DSYN C± 引脚反转： 0=不反转，1=反转	DSYN C± 引脚输入偏置： 0=禁用，1=使能	禁用	禁用	JTX输出反转： 0=正常，1=反转	保留	0x10		
0x61	JESD204B链路 控制3	保留	保留	测试数据注入点： 01=8b/10b编码器输出时注入10位数据， 10=加扰输入时的8位数据	JTX测试模式码： 0000=正常工作(测试模式禁用)， 0001=交替棋盘形式， 0010=1/0字交替， 0011=PN序列为PN23， 0100=PN序列为PN9， 0101=连续/重复用户测试模式， 0110=单用户测试模式， 0111=保留， 1000=更改的RPAT测试序列(仅8位数据)， 1100=PN序列为PN7， 1101=PN序列为PN15， 其他设置未使用					0x00		
0x62	JESD204B 链路控制4	保留									0x00	
0x64	JESD204BDID 配置	器件标识(DID)=C0									0xC0	只读。
0x65	JESD204BBID 配置	禁用	禁用	禁用	禁用	JTX模块标识(BID)号				0x00		
0x66	JESD204BLID 配置0	禁用	禁用	禁用	通道0的JTX通道标识(LID)号					0x00		

0x67	JESD204BLID配置1	禁用	禁用	禁用	通道1的JTX通道标识(LID)号					0x01	
0x68	JESD204BLID配置2	禁用	禁用	禁用	通道2的JTX通道标识(LID)号					0x02	
0x69	JESD204BLID配置3	禁用	禁用	禁用	通道3的JTX通道标识(LID)号					0x03	
0x6E	JESD204B参数SCR/L	JESD204B加扰(SCR): 0=禁用, 1=使能	禁用	禁用	JESD204B串行通道控制: 0=每链路1个通道(L=1), 1=每链路2个通道(L=2), 2=未使用, 3=每链路4个通道(L=4), 4至31=未使用					0x80	
0x6F	JESD204B参数F	JESD204B每帧的8位字个数(F); 计算值, F=(2×M)/L								0x00	只读
0x70	JESD204B参数K	禁用	禁用	禁用	JESD204B每个多帧的帧数(K); K=寄存器内容+1, 同时K必须是4个8位字的倍数					0x1F	
0x71	JESD204B参数M	JESD204B转换器数(M): 0=1个转换器(M=1), 1=2个转换器(M=2), 3=4个转换器(M=4, 默认值)								0x03	
0x72	JESD204B参数CS/N	00=每个样本发送0个控制位数(CS=0)		禁用	JTX转换器分辨率(N): 0x0F=16位, 0x0D=14位, 0x0B=12位, 0x09=10位					0x0F	
0x73	JESD204B参数subclass/Np	JESD204B子类: 0x0=子类0, 0x1=子类1(默认)			JESD204B每个样本的位数(N’); N’ =寄存器内容+1					0x2F	
0x74	JESD204B参数S	保留			JESD204B每帧的转换器样本数(S); S=寄存器内容+1					0x20	只读
0x75	JESD204B参数HD和CF	JESD204BHD值=0	禁用	禁用	每链路上每个帧时钟周期的JESD204B控制字(CF=0, 固定值)					0x00	只读
0x76	JESD204BRESV1	链路配置中的JESD204B串行保留域1, 参见表12(RES1)								0x00	
0x77	JESD204BRESV2	链路配置中的JESD204B串行保留域2, 参见表12(RES2)								0x00	
0x78	JESD204BCHKSUM0	链路配置中的JESD204B串行校验和值, 参见表12的通道0(FCHK)									只读
0x79	JESD204BCHKSUM1	链路配置中的JESD204B串行校验和值, 参见表12的通道1(FCHK)									只读
0x7A	JESD204BCHKSUM2	链路配置中的JESD204B串行校验和值, 参见表12的通道2(FCHK)									只读
0x7B	JESD204BCHKSUM3	链路配置中的JESD204B串行校验和值, 参见表12的通道3(FCHK)									只读
0x80	JTX物理通道禁用	禁用	禁用	禁用	禁用	通道3: 0=使能, 1=禁用	通道2: 0=使能, 1=禁用	通道1: 0=使能, 1=禁用	通道0: 0=使能, 1=禁用	x00	通道串行化, 输出驱动器关断。

0x82	JESD204B 通道对齐1	禁用	物理通道1对齐： 000=逻辑通道0， 001=逻辑通道1， 010=逻辑通道2， 011=逻辑通道3			禁用	物理通道0对齐： 000=逻辑通道0， 001=逻辑通道1， 010=逻辑通道2， 011=逻辑通道3			x10	
0x83	JESD204B 通道对齐2	禁用	物理通道3对齐： 000=逻辑通道0， 001=逻辑通道1， 010=逻辑通道2， 011=逻辑通道3			禁用	物理通道2对齐： 000=逻辑通道0， 001=逻辑通道1， 010=逻辑通道2， 011=逻辑通道3			x32	
0x86	JESD204B 通道反转	禁用	禁用	禁用	禁用	通道3： 0=不反转 1=反转	通道2： ， 0=不反转， 1=反转	通道1： 0=不反转 1=反转	通道0： ， 0=不反转， 1=反转	x00	
0x8B	JESD204BLM FC 偏移	禁用	禁用	禁用	本地多帧时钟(LMFC)相位偏移值；DSYSREF±置位时LMFC相位计数器的复位值；用于确定性延迟应用					0x00	
0xA0	JTX用户模式码 8位字0，LSB	用户测试码最低有效字节，8位字0								0x00	
0xA1	JTX用户模式码 8位字0，MSB	用户测试码最高有效字节，8位字0								0x00	
0xA2	JTX用户模式码 8位字1，LSB	用户测试码最低有效字节，8位字1								0x00	
0xA3	JTX用户模式码 8位字1，MSB	用户测试码最高有效字节，8位字1								0x00	
0xA4	JTX用户模式码 8位字2，LSB	用户测试码最低有效字节，8位字2								0x00	
0xA5	JTX用户模式码 8位字2，MSB	用户测试码最高有效字节，8位字2								0x00	
0xA6	JTX用户模式码 8位字3，LSB	用户测试码最低有效字节，8位字3								0x00	
0xF5	JTX转换器映射	JTX转换器3： 0=ADCA， 1=ADCB， 2=ADCC， 3=ADCD		JTX转换器2： 0=ADCA， 1=ADCB， 2=ADCC， 3=ADCD		JTX转换器1： 0=ADCA， 1=ADCB， 2=ADCC， 3=ADCD		JTX转换器0： 0=ADCA， 1=ADCB， 2=ADCC， 3=ADCD		xE4	
0x100	分辨率/采样速率 覆盖	禁用	覆盖使能	分辨率： 0=16位 1=14位 2=12位 3=10位	禁用	采样速率： 001=40MSPS， 010=50MSPS， 011=65MSPS， 100=80MSPS， 101=105MSPS， 110=125MSPS				x00	采样速率覆盖 (需要传输寄存器0xFF)

				位							
0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO下拉	x00	禁用 SDIO下 拉电阻
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM掉电	禁用	禁用	禁用	x00	VCM控 制
0x109	时钟分频器 同步控制	时钟分频 器同步模 式: 0=使 用SYNC 引脚1= 使用 DSYSRE F±引脚	保留					收到 复位 时钟 分频 器同 步	同步时钟 分频器使 能: 0=禁用, 1=使能	x00	
0x10A	收到时钟分频 器同步	禁用	禁用	禁用	禁用	禁用	禁用	禁用	收到时钟 分频器同步	0x00	只读

- 存储器映射寄存器描述**

如需了解有关寄存器 0x00 至寄存器 0xFF 所控制功能的更多 一般信息, 请参见应用笔记 AN-877:
“通过 SPI 与高速 ADC 接口。”
- 器件索引(寄存器 0x05)**

对于映射中指定为局部的某些特性, 各通道可以独立设置, 而其它特性则是全局适用(取决于上下文), 不论选择哪一通道。寄存器 0x05 的位[3:0]可以用来选择哪些数据通道受影响。
- 传送(寄存器 0xFF)**

除寄存器 0x100 外, 所有其它寄存器都在写入时立刻更新。传送寄存器的位 0 置 1 时, 分辨率/采样
速率覆盖寄存器(地址 0x100)的设置初始化。
- 功耗模式(寄存器 0x08)**
 - ◆ 位 5—PDWN 引脚功能
置 1 时, PDWN 引脚启动待机模式。置 0(清 0)时, PDWN 引 脚启动完全掉电模式。
 - ◆ 位 4—JTX 待机模式
置 1 时, 若芯片待机功能启用, 则 JTX 模块进入待机模式。待机模式下, 仅 PLL 仍然运行。清 0 时,
若芯片待机功能启用, 则 JTX 模块仍然运行。
 - ◆ 位[1:0]—功耗模式
正常工作(位[1:0] = 00)时, 所有 ADC 通道和 JTX 模块均启用。
在完全掉电模式(位[1:0] = 01)下, 所有 ADC 通道和 JTX 模块均掉电, 数字数据路径时钟禁用, 数字
数据路径复位。输出禁用。
在待机模式(位[1:0] = 10)下, 所有 ADC 通道部分掉电, 数字数据路径时钟禁用。若设置了 JTX 待机
模式, 则输出也禁用。
数字复位(位[1:0] = 11)期间, 除 SPI 端口外, 芯片的所有其它数字数据路径时钟和输出(适用时)均复
位。注意, SPI 始终受用户的控制, 从不会自动禁用或复位(除非上电复位)。数字复位无效时, 启动前台

校准序列。

- **增强控制(寄存器 0x0C)**

- ◆ 位 2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等；针对这些应用，可以设置位 2 来使能本产品第一级的斩波特性。在频域中，斩波将失调和其它 低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

- **输出模式(寄存器 0x14)**

- ◆ 位[7:5]—JTX CS 模式

指定 JTX 控制位的意义。

- ◆ 位[1:0]—输出格式

默认情况下，此域置 1，数据以二进制补码格式输出。此域清 0 时，输出模式变为偏移二进制。

- **时钟相位控制(寄存器 0x16)**

- ◆ 位[6:4]—输入时钟相位调整

使用时钟驱动器(寄存器 0x0B)时，施加的时钟频率高于内部采样时钟。位[6:4]决定在外部时钟的哪个相位执行采样。这只在使用时钟分频器时适用。位[6:4]不可设置大于寄存器 0x0B 位[2:0]的值。

- **JTX 用户模式码(寄存器 0xA0 至寄存器 0xA7)**

当寄存器 0x61 的位[3:0]设置为 5 或 6 时，这些寄存器中的模式码在所有有效通道上输出。当寄存器 0x61 的位[5:4]设置为 2 时，加扰器之前插入一个由寄存器 0xA0、寄存器 0xA2、寄存器 0xA4 和寄存器 0xA6 连接而成的 32 位模式码。当寄存器 0x61 的位[5:4]设置为 1 时(40 位模式码)，8b10b 编码器之前插入由以下内容连接而成的模式码：寄存器 0xA1 的位[1:0]和寄存器 0xA0 的位[7:0]；寄存器 0xA3 的位[1:0]和寄存器 0xA2 的位[7:0]；寄存器 0xA5 的位[1:0]和寄存器 0xA4 的位[7:0]；寄存器 0xA7 的位[1:0]和寄存器 0xA6 的位[7:0]。

- **分辨率/采样速率覆盖(寄存器 0x100)**

在不需要最高分辨率和/或采样速率的应用中，用户可利用此寄存器降低分辨率和/或最大采样速率(以便降低功耗)。此寄存器的设置在传送寄存器(寄存器 0xFF)的位 0 写入高电平后初始化。

位[2:0]不影响采样速率，而是影响 ADC 的最大采样速率。

用户 I/O 控制 2(寄存器 0x101)

- ◆ 位 0—SDIO 下拉

可以设置位 0 以禁用 SDIO 引脚内置的 30 k Ω 下拉电阻。当许多器件连接到 SPI 总线时，此设置可以用来限制负载。

用户 I/O 控制 3(寄存器 0x102)

- ◆ 位 3—VCM 掉电

通过将位 3 设置为高电平，可关断内部 VCM 发生器。使用 外部基准电压源时使用此功能。

应用说明

● 设计指南

在进行本产品的系统级设计和布局之前, 建议设计人员先熟悉下述设计指南, 其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

● 电源和接地建议

当连接电源至本产品时, 建议使用两个独立的 1.8 V 电源: 一个电源用于模拟输出(AVDD), 另一个电源用于数字输出(DRVDD 和 DVDD)。设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近器件引脚的位置, 并尽可能缩短走线长度。

本产品仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理去耦和巧妙分隔, 可以轻松获得最佳性能。

● 时钟稳定性考虑

上电时, 本产品进入初始相位, 内部状态机设置偏置和寄存器, 以便器件能正常工作。在初始化过程中, 本产品需要稳定的时钟。若 ADC 时钟源不存在, 或在 ADC 上电期间不稳定, 则会打断状态机, 进而导致 ADC 上电至未知状态。要校正这一状态, 必须在 ADC 时钟稳定后重新调用初始序列。可通过寄存器 0x08 发起数字复位来完成该操作。在默认配置中(内部 VREF, 交流耦合输入), VREF 和 VCM 由 ADC 自身提供, 因此上电时具有足够稳定的时钟。当 VREF 和/或 VCM 由外部源提供时, 它们在上电时也必须是稳定的; 否则, 需要通过寄存器 0x08 进行序列数字复位。数字复位的伪代码序列如下所示:

```
SPI_Write (0x08, 0x03); # Digital Reset SPI_Write (0x08, 0x00); # Normal Operation
```

● 裸露焊盘散热块建议

为获得最佳的电气性能和热性能, 必须将 ADC 底部的裸露焊盘连接至模拟地(AGND)。PCB 上裸露(无阻焊膜)的连续铜平面必须与本产品的裸露焊盘(引脚 0)匹配。

铜平面上必须有多个通孔, 获得尽可能低的热阻路径以通过 PCB 底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接, 应在 PCB 上覆盖一个丝印层, 以便将 PCB 上的连续平面划分为多个均等的部分。这样, 在回流焊过程中, 便可防止焊料堆积并在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。PCB 布局范例可以参考评估板。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息, 请参阅应用笔记 AN-772: “引脚架构芯片级封装(LFCSP)设计与制造指南”。

● VCM

利用一个 0.1 μF 电容将 VCM 引脚去耦至地。

● 基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1 μF 陶瓷电容和一个低 ESR 1.0 μF 电容的并联去耦至地。

● SPI 端口

当需要转换器充分发挥其全部动态性能时, 应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信

号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与本产品 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入引脚端发生变化。

封装外形及尺寸

QFN-56

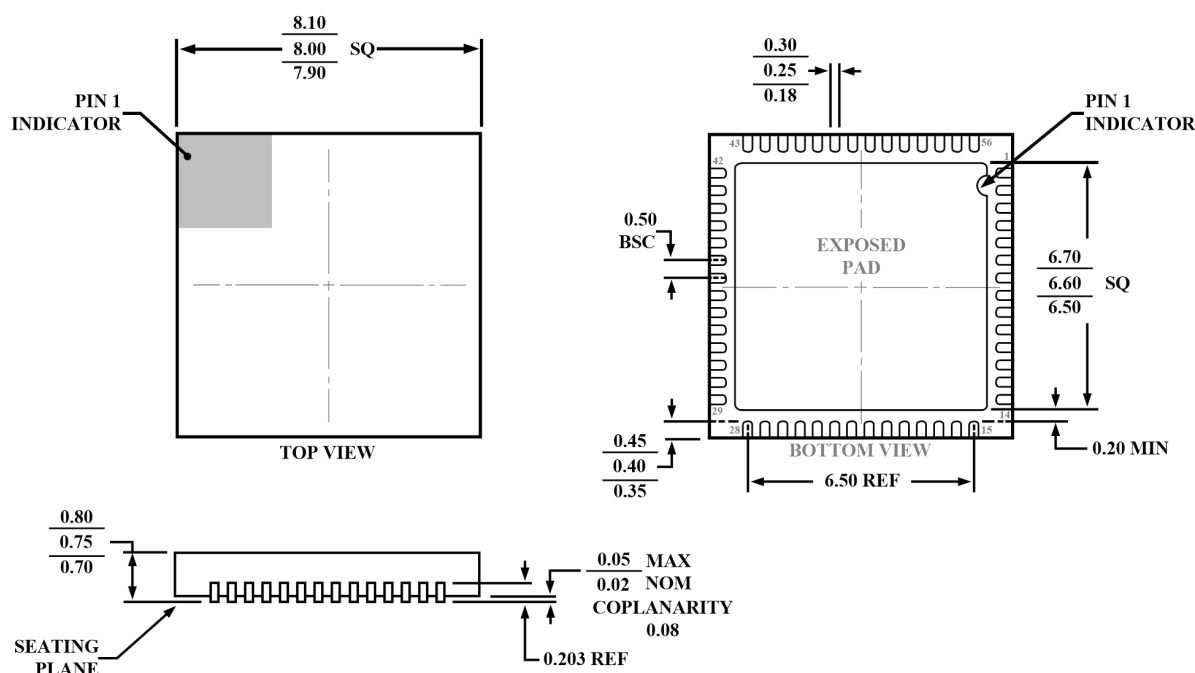


图 63.56 引脚架构芯片封装(塑封版)

8mm×8mm，尺寸单位：mm

包装/订购信息

产品型号	温度范围	产品封装	运输及包装数量
CD96AD56-125	-40°C+85°C	QFN-56	Tray, 260

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.5.20	初版生成	常规更新	WW	LYL	