



CD12AD11_CD12AD12

微弱信号采集 ASIC 芯片

版本: Rev 1.0.0 日期: 2025-11-13

产品特性

- CD ADC™微小信号直接转换技术，无需复杂的多级放大链
- 高精度模数转换器
- 输出 LSB 仅 $2.5\mu\text{V}$
- 82mV 满量程
- 灵活的采样率控制
 - 125Hz~1kHz 的高性能模式
 - 最大 8kHz 的高速模式
- 信噪比可达 84dB
- 共模抑制比大于 90dB
- 等效差分输入电容小于 1.5pF
- 双通道连续工作电流仅为 40uA@500sps
- I2C 通讯接口用于配置和信号读取
- SDA 可复用中断输出
- 转换完成中断与条件中断，降低主控工作占空比
- 单线传输接口 DOCI (Data Out Clock In)
- 内置多种数字滤波器
 - 可编程低通滤波器
 - 可编程高通滤波器
- 超小体积的 DFN-8 (2mm * 2mm)封装形式
- 可提供裸片
- -40~85°C宽工作温度范围
- 2.2V~3.6V 宽工作电压范围

产品应用

- 热电堆探测器
- 低侧电流检测

产品描述

CD12AD1X 系列属于高集成度微弱信号采集 ASIC 芯片，核心目标是破解传统分立器件方案在高性能、低功耗与设计复杂度之间的“不可能三角”难题。依托独创的 CD ADC™技术，无需 PGA 就能构建从传感器到数字域的最短路径、最纯净信号链路。单芯片设计将复杂模拟前端整合为简易数字接口对接，既为客户提供集高性能、低功耗、高性价比于一体的解决方案，又能缩短研发周期、助力产品快速上市。CD12AD1X 具备低功耗特性，可赋予便携及 IoT 设备出色的续航表现。



目录

产品特性	- 1 -
产品应用	- 1 -
产品描述	- 1 -
功能框图	- 3 -
引脚配置和功能描述	- 3 -
绝对最大额定值	- 5 -
电气特性	- 6 -
功能描述	- 8 -
封装外形及尺寸	- 9 -
包装/订购信息	- 11 -
修订日志	- 12 -

功能框图

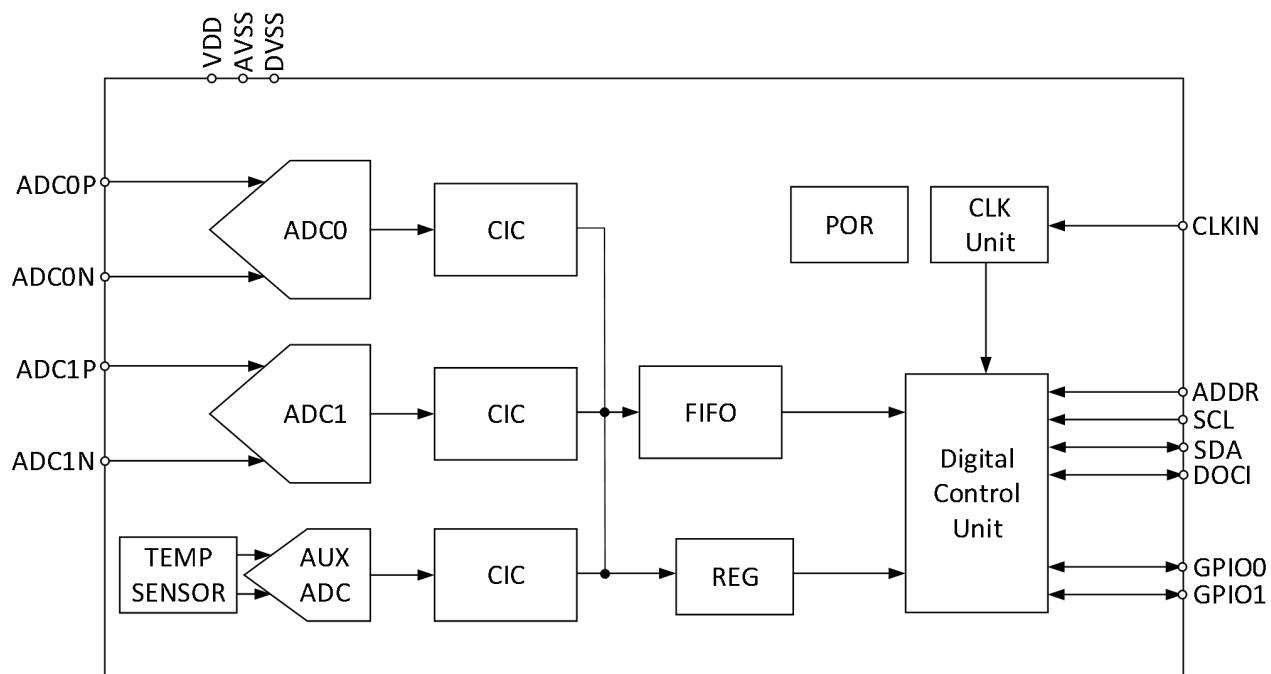


图 1 功能框图

引脚配置和功能描述

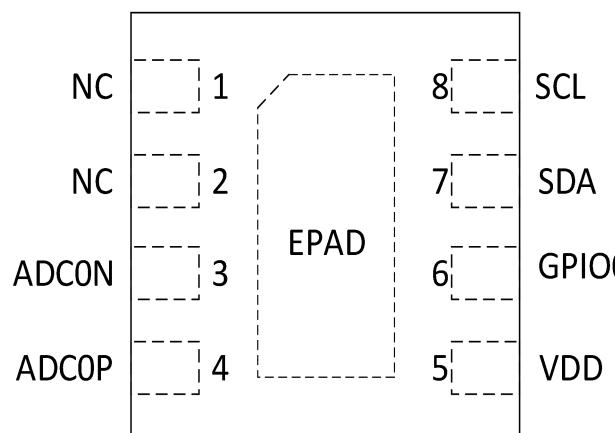


图 2 CD12AD11D 引脚配置(A1) (俯视图)

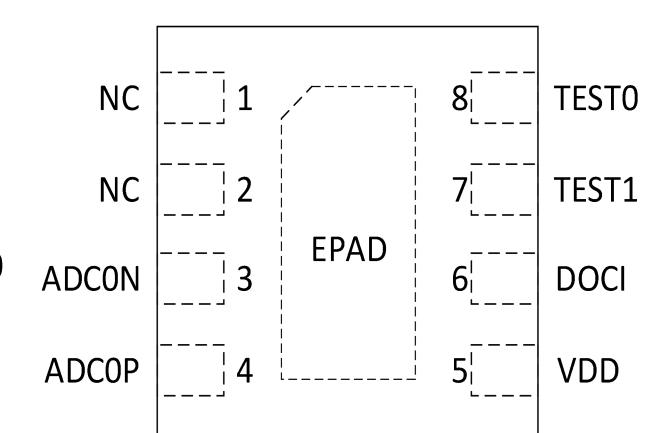


图 3 CD12AD11B 引脚配置 (B1)(俯视图)

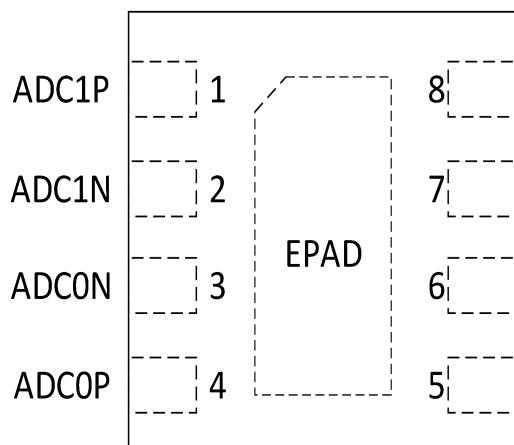


图 4 CD12AD12D 引脚配置(A2) (俯视图)

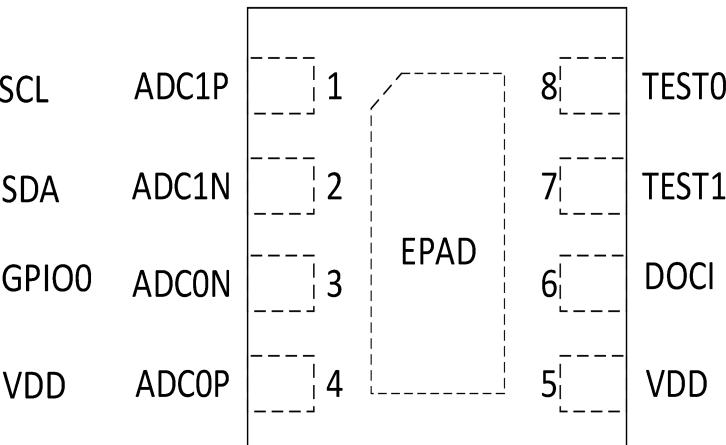


图 5 CD12AD12B 引脚配置(B2) (俯视图)

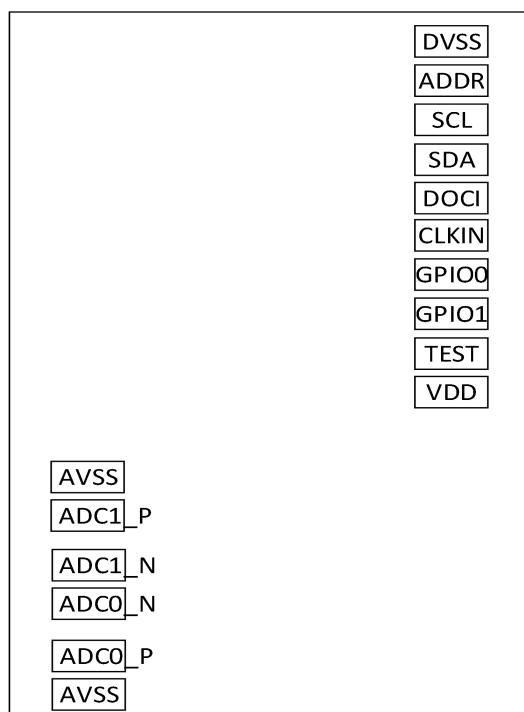


图 6 CD12AD11/12-DIE 引脚配置(裸片) (俯视图)

引脚序号 (裸片)	引脚序号 (A1)	引脚序号 (A2)	引脚序号 (B1)	引脚序号 (B2)	类型	符号	描述
A1	--	--	--	--	S	AVSS	模拟地
A2	--	1	--	1	AI	ADC1P	ADC1 正输入
A3	--	2	--	2	AI	ADC1N	ADC1 负输入
A4	3	3	3	3	AI	ADC0N	ADC0 负输入
A5	4	4	4	4	AI	ADC0P	ADC0 正输入

A6	--	--	--	--	S	AVSS	模拟地
C1	--	--	--	--	S	DVSS	数字地
C2	--	--	--	--	DI	ADDR	I ² C 从机地址选择
C3	8	8	--	--	DI	SCL	I ² C SCL
C4	7	7	--	--	DIO	SDA	I ² C SDA
--	--	--	8	8	NC	TEST0	保持浮空
--	--	--	7	7	NC	TEST1	保持浮空
C5	--	--	6	6	DIO	DOCI	单线传输接口
C6	--	--	--	--	DI	CLKIN	外部时钟输入
C7	6	6	--	--	DIO	GPIO0	用户操作界面输入输出 0
C8	--	--	--	--	DIO	GPIO1	用户操作界面输入输出 1
C9	--	--	--	--	NC	TEST	保持浮空
C10	5	5	5	5	S	VDD	电源
--	EPAD	EPAD	EPAD	EPAD	S	VSS	接地, 模拟数字地合并

绝对最大额定值

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDD	-0.3	--	3.6	V	VDD 至 VSS
ADC 输入电压	V _{ADC0P/ADC0N} N/ADC1P/ADC1N	-0.6	--	0.6	V	共模到 VSS
存储温度	T _S	-45	--	125	°C	
工作温度	T _C	-40	--	85	°C	
静电放电 (HBM)	ESD _{HBM}	1000	--	--	V	ADC0P/ADC0N/ADC1P /ADC1N
静电放电 (CDM)		4000	--	--	V	其他所有 IO
静电放电 (CDM)	ESD _{CDM}	500	--	--	V	ADC0P/ADC0N/ADC1P /ADC1N
静电放电 (CDM)		500	--	--	V	其他所有 IO

电气特性

除非另有说明, 否则所有特性值是在 $T_A=25^\circ\text{C}$ 、 $\text{VDD}=3.3\text{V}$ 的情况下得出。

参数	符号	最小值	典型值	最大值	单位	备注
电源 (VDD)						
工作电压	VDD	2.2	--	3.6	V	VDD 至 VSS
工作电流	I_{VDD}	--	2	--	μA	待机模式
		--	60	--		1ksps 双通道连续采样模式
		--	40	--		1ksps 单通道连续采样模式
		--	40	--		500sps 双通道连续采样模式
		--	30	--		500sps 单通道连续采样模式
		--	9	--		1ksps 窗口采样模式

模拟输入测试条件均为默认配置, 1ksps 数据率, 82mV 满幅

ADC 输入满幅电压	$\text{V}_{\text{ADC0P}/\text{ADC0}}$ N/ADC1P /ADC1N	-82	--	82	mV	差分
最大信噪比	SNR_{max}	--	84	--	dB	
共模电压范围	CMVR	0	--	150	mV	$\text{T}_{\text{MIN}} \leq \text{T}_A \leq \text{T}_{\text{MAX}}$
ADC 的有效位数	ENOB- ADC0/EN OB -ADC1	--	14	--	bits	
二次谐波压制	2^{nd} HD	60	--	--	dB	
三次谐波压制	3^{rd} HD	70	--	--	dB	
共模抑制比(0V 输入 差分 DC 电压)	CMRR (0Vos)	110	--	--	dB	
共模抑制比(40mV 输入 差分 DC 电压)	CMRR (40mVos)	91	--	--	dB	
电源抑制比 (0V 输入差分 DC 电压)	$\text{PSRR}(0\text{Vos})$	120	--	--	dB	3.3V 电源纹波抑制

电源抑制比 (38mV 输入差分 DC 电压)	PSRR(38mVos)	81	--	--	dB	3.3V 电源纹波抑制
通道隔离	CH ISO	120	--	--	dB	
I2C 通讯						
频率	FSCL	--	--	1000	Kbps	
总线负载	Cload	--	--	30	pF	
外部上拉电阻	REPU	800	--	--	Ω	
数字输入 (GPIO0/GPIO1)						
输入电压范围	VDI	0	--	VDD	V	
施密特触发低到高	VT+	--	2.0	--	V	VDD = 3.3V
施密特触发高到低	VT-	--	1.3	--	V	VDD = 3.3V
内部上拉电阻	RPU	39	63	109	$\text{k}\Omega$	
数字输出						
输出低电平	VOL	--	--	0.4	V	VDD = 3.3V
输出高电平	VOH	2.4	--	--		VDD = 3.3V
低电平输出电流	IOL	9.4	14.1	--	mA	VOL = 最大值, IO_DS = 0
		18.8	28.1	--		VOL = 最大值, IO_DS = 1
高电平输出电流	IOH	7.0	9.3	--	mA	VOH = 最小值, IO_DS = 0
		13.9	18.6	--		VOH = 最小值, IO_DS = 1
DOCI 接口						
施密特触发低到高	V _{T+}	--	2.0	--	V	VDD = 3.3V
施密特触发高到低	V _{T-}	--	1.3	--	V	VDD = 3.3V
下拉电流	I _{PD}	--	41.1	--	μA	
上拉电流	I _{PU}	--	40.7	--	μA	
输入电容	C _{IN}	--	5	--	pF	
DOCI 接口建立时间	t _S	0	--	--	μs	
数据时钟低时间	t _L	3	--	--	μs	
数据时钟高时间	t _H	3	--	--	μs	
数据位稳定时间	t _{bit}	1	--	--	μs	
串行接口中断时间	T _{REP}	128	--	1024	ADC	1M 时钟经CLK_DIV[1:0]

					采样时钟	0]分频之后为 ADC 采样时钟
--	--	--	--	--	------	------------------

- (1) 典型值仅为估计值, 非确定值。
- (2) 除非另有说明, 否则数据表最大/最小值由测试确定。
- (3) 典型值代表在 $T_A=25^{\circ}\text{C}$ 和推荐操作条件下最有可能的参数规范, 且不能确保。

功能描述

CD12AD12 系列产品由两个主 ADC (ADC0、ADC1), 两个 FIFO 区域 (ADC0 FIFO、ADC1 FIFO), 一个测温 ADC 组成, 系统计时时钟采用 32kHz 或者 256kHz 的 8 分频。其中 ADC0、ADC1 默认状态为打开, 可通过寄存器 ADC0_DIS、ADC1_DIS 控制打开/关闭。

其中:

CD12AD11D 默认为 ADC0 打开 (ADC0_DIS=0, ADC1_DIS=1), GPIO0 输出;

CD12AD12D 默认为 ADC0、ADC1 打开 (ADC0_DIS=0, ADC1_DIS=0, 可自行配置), GPIO0 输出;

CD12AD11B 默认为 ADC0 打开 (ADC0_DIS=0, ADC1_DIS=1), DOCI 输出;

CD12AD12B 默认为 ADC0、ADC1 打开 (ADC0_DIS=0, ADC1_DIS=0, 可自行配置), DOCI 输出。

模拟前端

CD12AD12 系列包含两个模拟前端, 每个模拟前端包括一个 Sigma-Delta 调制器 (SDM) 和一个数字滤波器 (CIC)。SDM 的时钟频率通过寄存器 CLK_DIV[1:0]配置。降采样率通过寄存器 SP_RATE[1:0]配置。

CIC 抽取滤波器

在 Sigma-Delta 调制器 (SDM) 配备了 CIC 数字滤波器, 作用是对从 SDM 输出的 bit 流来重建信号。CD12AD12 系列提供多种降采样率 OSR(SP_RATE[1:0])和 SDM 时钟频率分频比(CLK_DIV[1:0])的选择, 从而实现性能和功耗的权衡, SDM 默认时钟频率为 256kHz。例如, 同样得到 1ksps 输出数据率, 用户可使用默认设置, 即 1 倍分频比 (CLK_DIV=2' b00), 256 倍降采样率 (SP_RATE=2' b00), 也可以使用 2 倍分频比 (CLK_DIV=2' b01), 128 倍降采样率 (SP_RATE=2' b01), 此时 SDM 时钟为 128kHz, 数字功耗节省了一倍, 以部分噪声性能为代价。CIC 抽取滤波器配置数据速率如下:

CLK_DIV[1: 0]	2' b00 (默认值)	2' b01	2' b10	2' b11
256 倍降采样率 (2' b00)	1ksps	0.5ksps	0.25ksps	0.125ksps
128 倍降采样率 (2' b01)	2ksps	1ksps	0.5ksps	0.25ksps
64 倍降采样率 (2' b10)	4ksps	2ksps	1ksps	0.5ksps

32 倍降采样率 (2' b11)	8ksps	4ksps	2ksps	1ksps
-------------------	-------	-------	-------	-------

表 1. CIC 抽取滤波器配置数据速率

ADC 失调校正 (ADC Offset)

ADC0、ADC1 的数据可通过 OFFSET_ADCx[15: 0]寄存器来进行失调校正。

设置 INPUT_SHORT_ADCx 为 1 时, 相应 ADCx 的 16bit 采样数据平均之后的值即为此路 ADC 的 16bit 失调值。芯片出厂已完成失调校正。

ADC 增益调整 (ADC Gain)

ADC0、ADC1 的数据可通过 GAIN_ADCx[7: 0]寄存器来进行数字增益调整。这是个用 2 的补码表示的 8 位有符号数, 增益调整幅度为 GAIN_ADCx[7: 0]/1024, 调整范围即为 1-128/1024 至 1+127/1024。

封装外形及尺寸

裸片

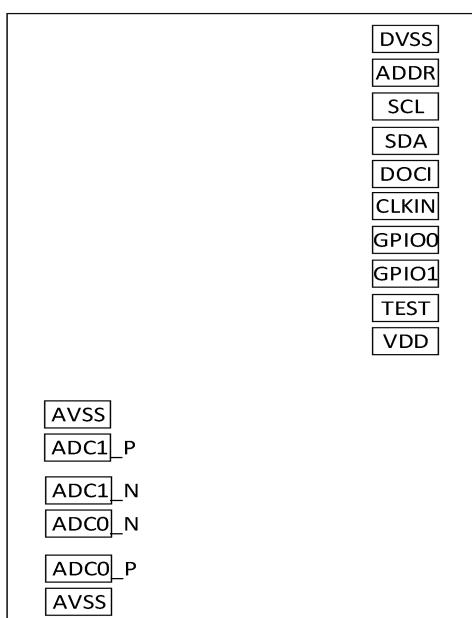


图 7 裸片尺寸图

DIE SIZE: 945*1390(μm)

编号	符号	X (μm)	Y (μm)	PAD SIZE (μm)
1	AVSS	53.500	101.000	60x60
2	ADC0_P	53.500	181.000	60x60
3	ADC0_N	53.500	289.320	60x60
4	ADC1_N	53.500	369.320	60x60

5	ADC1_P	53.500	477.640	60x60
6	AVSS	53.500	557.640	60x60
7	DVSS	888.000	1328.000	60x60
8	ADDR	888.000	1248.000	60x60
9	SCL	888.000	1168.000	60x60
10	SDA	888.000	1088.000	60x60
11	DOCI	888.000	1008.000	60x60
12	CLKIN	888.000	928.000	60x60
13	GPIO0	888.000	848.000	60x60
14	GPIO1	888.000	768.000	60x60
15	TEST	888.000	688.000	60x60
16	VDD	888.000	608.000	60x60

DFN-8

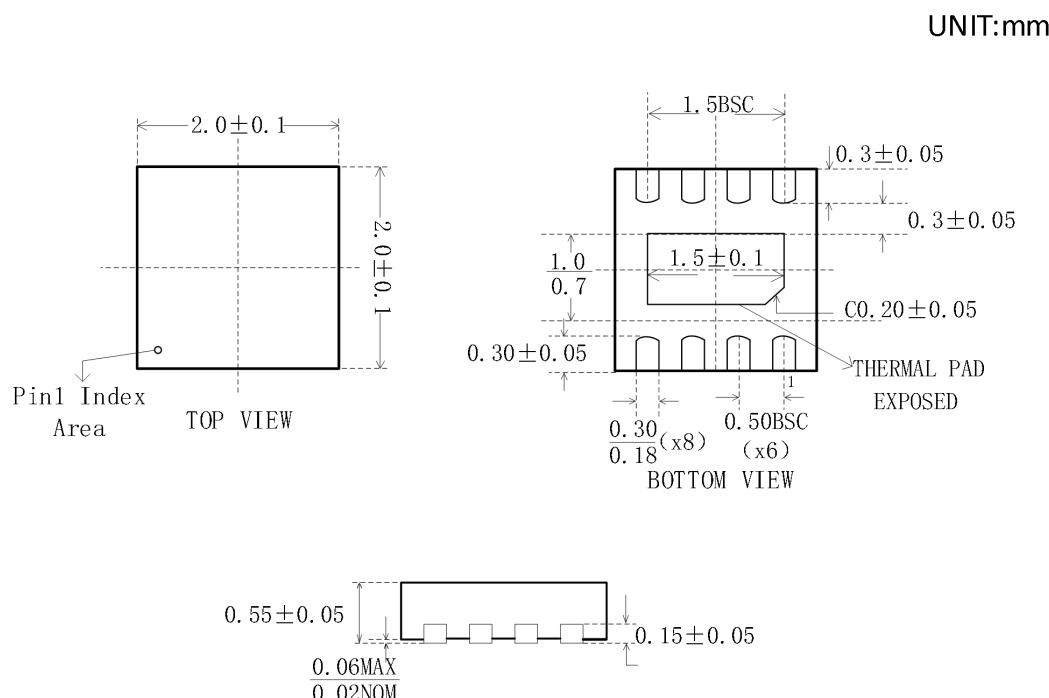


图 8 DFN-8 尺寸图

包装/订购信息

产品型号	温度范围	产品封装	备注	运输及包装数量
CD12AD11-DIE	-40°C~85°C	裸片	单通道	
CD12AD11D	-40°C~85°C	DFN-8	单通道, GPIO0 输出。	
CD12AD11B	-40°C~85°C	DFN-8	单通道, DOCI 输出。	
CD12AD12-DIE	-40°C~85°C	裸片	双通道	
CD12AD12D	-40°C~85°C	DFN-8	双通道, GPIO0 输出。	
CD12AD12B	-40°C~85°C	DFN-8	双通道, DOCI 输出。	

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.11.13	初版生成	常规更新	WW	LYL	